

Información General

Conocimientos Previos:

Conocimientos básicos de Electrónica Digital.

Horarios:

Semana I: Lunes 24, Martes 25 y Miércoles 26 de Junio de 2002, de 9 a 18 hs.

Semana II: Miércoles 3, Jueves 4 y Viernes 5 de Julio de 2002, de 9 a 18 hs.

Precios:

1ª Semana: 450 euros; 2ª Semana: 550 euros

Curso Completo (2 Semanas): 800 euros.

El precio incluye el material del curso, comidas y cafés.

Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, puede enviar el pago hasta el 17 de Junio de 2002, por transferencia bancaria a la Fundación General de la Universidad Autónoma de Madrid, cuenta 2038-1530-95-6000 048 309. Envíe una copia del justificante de transferencia al fax: 91 348 2235 (Referencia Curso FPGA). Indique además los datos que desea que se incluyan en su factura. Información adicional a eduardo.boemo@uam.es

Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctra. de Colmenar Km.15, 28049 Madrid. Puede encontrar información sobre como llegar a la ETSI UAM en: http://www.ii.uam.es/esp/vias_acceso.html

La Escuela se encuentra comunicada por autovía (M40 + M607 Ctra. de Colmenar), Autobuses y Trenes de Cercanías. No existen problemas de aparcamiento en la zona.

Hoteles:

Para residentes fuera de la zona de Madrid, se han concertado precios especiales con algunos hoteles.

Reserva de Plaza:

El curso tiene un cupo limitado a 36 asistentes. Puede reservar plaza enviando los siguientes datos por correo electrónico:

Nombre y Apellido:

Empresa:

Teléfono de contacto:

e-mail:

Fax:

Webpage:

Reserva de Plaza:

Semana I

Semana II

Curso Completo.

Información sobre el Curso *Computer Arithmetic - Custom DSPs* sobre FPGAs, a realizarse los días Miércoles 2, Jueves 3 y Viernes 4 de Octubre de 2002, de 9 a 18 hs.

Información Adicional:

Escuela Politécnica Superior
Universidad Autónoma de Madrid

Ctra. de Colmenar Km.15
28049 Madrid

Teléfono: 606 36 16 11

Fax: 91 348 2235

Correo: eduardo.boemo@uam.es

Página del Curso: <http://www.ii.uam.es/~euroform>

FPGAs Xilinx - VHDL - Entorno de Diseño ISE

Ciclo 2002 de cursos sobre
Diseño Electrónico



Escuela Politécnica Superior
Universidad Autónoma de Madrid



Con la colaboración de:



Curso 2002: FPGAs Xilinx - VHDL - Entorno de Diseño ISE

Presentación

Este curso se dirige a diseñadores de circuitos digitales o directores de proyecto relacionados con sistemas electrónicos. Dentro del amplio espectro de FPGAs, el temario está centrado en los dispositivos y herramientas de Xilinx, en el lenguaje VHDL, y en el nuevo entorno de diseño ISE (*Integrated Synthesis Environment*).

El curso es eminentemente práctico. El trabajo de Laboratorio (2 asistentes por PC) constituye cerca del 60 % del total. La duración del curso completo es de 48 hs, distribuidas a lo largo de dos semanas. Por flexibilidad, el temario se ha separado en dos partes. En la primera semana se cubren todos los conocimientos necesarios para materializar un diseño exitoso con FPGAs. En la segunda semana se concentran los temas más específicos, de utilidad para diseños de altas prestaciones.

Los descriptores del curso para cada bloque son:

Semana I:

FPGAs / Herramienta EDA: Diagrama de flujo de diseño y opciones tecnológicas. Retardo intrínseco y extrínseco Arquitecturas de FPGAs. Interconexión. Skew y distribución de reloj. Frecuencia máxima. Circuitos *pad-limited* y *core-limited*. Familias Xilinx de FPGAs. Herramienta EDA: Entrada, Simplificación, *Technology Mapping*, *Place-Route*. *Simulated Annealing*. Opciones de diseño. Simulación. Controlabilidad y observabilidad. *Reports*. Herramienta ISE. *Project Navigator* (Códigos fuentes y procesos asociados). Herramientas de Síntesis (*Xilinx Synthesis Tool - XST* y *FPGA Express*). *Design Entry Tools* (*HDL Editor*, *Core Generator*, *Schematic Editor*, *State Editor*). Opciones de Implementación. Simulador *Modelsim* (*Behavioral and Timing Simulation*).

VHDL I: Introducción. Entidad y arquitectura. Tipos de señales. Operadores. Sentencias secuenciales y concurrentes. Lista de sensibilidad. Variables. Registros en VHDL. Memoria implícita. Máquinas de estados. Inferencia de alta impedancia. Diseño jerárquico. Simulación funcional, post-síntesis y *post-layout*. Simulación vs. Síntesis: código *behavioral* o RTL.

Semana II:

VHDL 2 / Opciones Avanzadas de Diseño: Memorias. Representación de tiempos en VHDL. Codificaciones One-Hot, Zero-One-Hot y otras. Estructuras repetitivas y generadores de módulos. Técnicas avanzadas de verificación: *tesbenches* complejos. Diseño orientado a síntesis: consejos de codificación. Simuladores y sintetizadores comerciales. Revisión Herramienta ISE. Fichero UCF. Ejercicios de optimización utilizando las herramientas *Floorplanner* y *FPGA Editor*. *RPM* (emplazamiento relativo). *Xpower* (estimación de consumo). JTAG. Reconfiguración en tiempo de ejecución. Tecnología JBits.

Diseño de alta velocidad en FPGAs: Fallos de Sincronización: Doble Captura y Captura Nula. Skew máximo admisible. Técnicas de aceleración de circuitos digitales: *Pipelining*. Latencia y *throughput*. Métodos heurísticos de segmentación. Registros de *skewing* y *deskewing*. Granularidad y Profundidad de Lógica. Funciones de costo. Comunicación global y local. Compromiso área-velocidad-latencia. Ley de los Rendimientos Decrecientes. Determinismo del PPR. *Wavepipelining*.