

Información General

Conocimientos Previos:

Nociones básicas de Electrónica Digital.

Horarios:

Semana I: Lunes 27, Martes 28 y Miércoles 29 de octubre de 2003, de 9 a 18 hs.

Semana II: Miércoles 5, Jueves 6 y Viernes 7 de noviembre de 2003, de 9 a 18 hs.

Matrícula:

1ª Semana: 500 euros + IVA; 2ª Semana: 600 euros + IVA

Curso Completo (2 Semanas): 900 euros + IVA .

El precio incluye el material del curso, comidas y cafés.

Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, puede enviar el pago hasta el 20 de octubre de 2003, por transferencia bancaria a la Fundación General de la Universidad Autónoma de Madrid, cuenta 2038-1530-95-6000 048 309. Envíe una copia del justificante de transferencia al fax: 91 348 2235 (Referencia Entrenamiento FPGA 2003). Indique además los datos que desea que se incluyan en su factura. Información adicional: eduardo.boemo@uam.es

Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctra. de Colmenar Km.15, 28049 Madrid. Puede encontrar información sobre como llegar a la EPS UAM en: http://www.ii.uam.es/esp/vias_acceso.html

La Escuela se encuentra comunicada por autovía (M40 + M607 Ctra. de Colmenar), Autobuses y Trenes de Cercanías. No existen problemas de aparcamiento en la zona.

Hoteles:

Para residentes fuera de la zona de Madrid, se han concertado precios especiales con algunos hoteles.

Reserva de Plaza:

El curso tiene un cupo limitado a 24 asistentes. Puede reservar plaza vía la página web del curso (www.ii.uam.es/~euroform) o enviando los siguientes datos por correo electrónico:

Curso otoño 2003: FPGAs Xilinx - VHDL - ISE 5.2

Nombre y Apellido:

Empresa:

Teléfono de contacto:

e-mail:

Fax:

Webpage:

Reserva de Plaza:

- Semana I
- Semana II
- Curso Completo.

Información Adicional:

Eduardo Boemo

Ctra. de Colmenar Km.15
28049 Madrid

Teléfonos: 91 348 2268 / 606 36 16 11 / 609 69 16 07

Fax: 91 348 2235

Correo: eduardo.boemo@uam.es

Internet: <http://www.ii.uam.es/~euroform>



3ra edición del curso

FPGAs Xilinx - VHDL - Entorno de Diseño ISE

Ciclo 2003 de
Entrenamiento Intensivo en
Diseño de Sistemas Electrónicos



Escuela Politécnica Superior
Universidad Autónoma de Madrid



Con la colaboración de:



Curso otoño 2003: FPGAs Xilinx - VHDL - Entorno de Diseño ISE

Presentación

Este curso se dirige a diseñadores de circuitos digitales o directores de proyecto relacionados con sistemas electrónicos. Dentro del amplio espectro de FPGAs, el temario está centrado en los dispositivos y herramientas de Xilinx, en el lenguaje VHDL, y en el entorno de diseño ISE (*Integrated Synthesis Environment*).

El curso es eminentemente práctico. El trabajo de Laboratorio (un asistente por PC) constituye cerca del 60 % del total. La duración del curso completo es de 48 hs, distribuidas a lo largo de dos semanas. Por flexibilidad, el temario se ha separado en dos partes. En la primera semana se cubren todos los conocimientos necesarios para materializar un diseño exitoso con FPGAs. En la segunda semana se concentran los temas más específicos, de utilidad para diseños de altas prestaciones.

Se utilizarán las herramientas Xilinx ISE 5.2, XST y Synplify Pro 7.1 (síntesis), Modelsim (simulación)

Los descriptores del curso para cada bloque son:

Semana I:

FPGAs / Herramienta EDA: Diagrama de flujo de diseño y opciones tecnológicas. Arquitecturas de FPGAs. Interconexión. Skew y distribución de reloj. Frecuencia máxima. Circuitos *pad-limited* y *core-limited*. Familias de FPGAs de Xilinx. Modelo de Retardos. Herramienta EDA: Entrada, Simplificación, *Technology Mapping*, *Place-Route*. *Simulated Annealing*. Simulación: Controlabilidad y observabilidad. Herramienta ISE. *Project Navigator* (Códigos fuentes y procesos asociados). Herramientas de Síntesis (*Xilinx Synthesis Tool - XST* y *Synplify Pro*). *Design Entry Tools* (*HDL Editor*, *Core Generator*, *Schematic Editor*, *State Editor*). Opciones de Implementación. Análisis de *Reports*. Simulador *Modelsim* (*Behavioral and Timing Simulation*). Modos de configuración.

VHDL I: Introducción. Entidad y arquitectura. Tipos de señales. Operadores. Sentencias secuenciales y concurrentes. Lista de sensibilidad. Variables. Registros en VHDL. Memoria implícita. Máquinas de estados. Inferencia de alta impedancia. Diseño jerárquico. Simulación funcional, post-síntesis y *post-layout*. Simulación vs. Síntesis: código *behavioral* o RTL.

Semana II:

VHDL 2: Memorias. Representación de tiempos en VHDL. Codificaciones One-Hot, Zero-One-Hot y otras. Estructuras repetitivas y generadores de módulos. Técnicas avanzadas de verificación: *tesbenches* complejos. Diseño orientado a síntesis: consejos de codificación. Interacción con simuladores (TCL/TK). Conexión VHDL - C/C++. Diseño a nivel de sistema de μ -procesadores embebidos.

Opciones Avanzadas de Diseño: *User Constraint File* (Fichero UCF). Ejercicios de optimización utilizando las herramientas *Floorplanner* y *FPGA Editor*. Opciones avanzadas de síntesis. *RPM* (emplazamiento relativo). *Xpower* (estimación de consumo). JTAG. Reconfiguración en tiempo de ejecución. Tecnología JBits.

Diseño de alta velocidad en FPGAs: Fallos de Sincronización: Doble Captura y Captura Nula. Skew máximo admisible. *Pipelining*: Latencia y *throughput*. Métodos heurísticos de segmentación. *Skewing* y *deskewing*. Granularidad y Profundidad de Lógica. Funciones de costo. Comunicación global y local. Compromiso área-velocidad-latencia. Determinismo del PPR. *Wave-Pipelining*.