

## Información General

**Objetivos:** La tecnología FPGA, creada en 1984, permite construir circuitos integrados de aplicación específica (ASICs) de bajo coste y baja producción, dos características que encajan con la dimensión de las empresas tecnológicas latinoamericanas y españolas.

El proyecto SURLABS, financiado por el Banco Santander Central Hispano, pretende fomentar la colaboración en diseño de sistemas electrónicos entre España y universidades de Latinoamérica. Los socios actuales del proyecto pertenecen a Argentina, Perú y México, aunque la iniciativa está abierta a la incorporación de nuevos participantes.

Como primera actividad, se ha planeado este workshop, cuyo objetivo es introducir rápidamente a estudiantes, profesores e ingenieros de empresas en el estado de arte de la tecnología. Posteriormente se coordinarán líneas de investigación conjuntas entre los socios del proyecto con el objeto de crear laboratorios regionales de FPGAs que puedan investigar, desarrollar tesis doctorales e introducir la tecnología tanto en la enseñanza como en pymes locales.

**Conocimientos Previos:** Nociones básicas de Electrónica Digital.

**Horarios:** Lunes 14 a viernes 18 de marzo de 8 a 12 hs y 14 a 18hs. Existe la opción de apuntarse sólo a las sesiones de teoría.

**Matrícula:** La matrícula del curso es gratuita para estudiantes y profesores de universidades e investigadores de centros públicos. No existen becas de viaje ni manutención.

**Lugar:** Universidad CAECE (Sede Mar del Plata)  
Calle Olavaria 2464, Mar del Plata, Argentina.  
<http://www.caece.edu.ar/sedes/mardelplata.htm>

En la página web del proyecto:

<http://www.ii.uam.es/~mcts/SURLABS.htm>

se adjunta información sobre hoteles, medios de transporte, clima y otras recomendaciones de interés para los participantes.

Información adicional en:



<http://www.ii.uam.es/~ivan/euroform.htm>

## Reserva de Plaza:

El curso tiene un cupo limitado. Por ello se aconseja reservar su plaza a la brevedad enviando los siguientes datos al fax: +34 91 497 2235 (España).

**Nombre y Apellido:**

**Cargo:**

**Organización:**

**Teléfono:**

**e-mail:**

**Fax:**

**Webpage:**

**Reserva de Plaza:** Marque lo que corresponda

Teoría y Laboratorio      Lunes a viernes de  
8 a 12 hs y 14 a 17hs

Teorías

Recibirá una confirmación  
por e-mail

## Información Adicional:



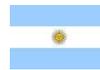
**España** (Coordinador General)  
Dr. Eduardo Boemo:  
[eduardo.boemo@uam.es](mailto:eduardo.boemo@uam.es)



**Perú:**  
Ing. Silvia Castro Burgos (Coordinadora Regional):  
[Scastro@correo.ulima.edu.pe](mailto:Scastro@correo.ulima.edu.pe)



**México** (Coordinador regional)  
Dr. Andrés David García García:  
[garcia.andres@itesm.mx](mailto:garcia.andres@itesm.mx)



**Argentina** (Coordinadores Regionales)  
Lic. Jorge Finochietto: [jof@caece.edu.ar](mailto:jof@caece.edu.ar)  
Dra. Hilda Larrondo: [larrondo@fi.mdp.edu.ar](mailto:larrondo@fi.mdp.edu.ar)  
Ing. Nelson Acosta: [nacosta@exa.unicen.edu.ar](mailto:nacosta@exa.unicen.edu.ar)  
Lic. Marcia Mac Gaul: [mmacgaul@cidia.unsa.edu.ar](mailto:mmacgaul@cidia.unsa.edu.ar)

**SURLABS: Laboratorios Latinoamericanos  
Coordinados de Tecnología FPGA**



Proyecto Financiado por el Banco  
Santander Central Hispano

## Primer Workshop Latinoamericano de Tecnología FPGA

**Universidad CAECE  
Mar del Plata, Argentina  
14 al 18 de marzo de 2005**



## Organización:

Escuela Politécnica Superior,  
Universidad Autónoma de Madrid, España

Facultad de Ingeniería,  
Univ. Nac. de Mar del Plata, Argentina.

Escuela de Ingeniería  
Universidad de Lima, Perú.

Instituto Tecnológico de Monterrey  
México

INTIA - Tandil  
Univ. Nac. del Centro, Argentina

Facultad de Ciencias Exactas  
Universidad Nacional de Salta

Departamento de Sistemas  
Universidad CAECE





## Presentación

Este curso se dirige a diseñadores de circuitos digitales o directores de proyecto relacionados con sistemas electrónicos. El trabajo de Laboratorio constituye una parte importante del total. La duración del curso completo es cerca de 40 hs.

Por flexibilidad, el temario se ha separado en tres partes. En primer lugar se presentan las nociones básicas del lenguaje de descripción de hardware VHDL. Luego, se cubren todos los conocimientos necesarios para materializar un diseño exitoso con FPGAs. Finalmente, se tratan temas específicos, de utilidad para diseños de altas prestaciones.

Los descriptores para cada bloque son:

**VHDL 0:** Introducción. Entidad y arquitectura. Tipos de señales. Operadores. Sentencias secuenciales y concurrentes. Procesos. Lista de sensibilidad. Variables. Registros en VHDL. Memoria implícita. Máquinas de estados. Inferencia de alta impedancia. Diseño jerárquico. Simulación funcional con bancos de prueba básicos.

**FPGAS / Herramienta EDA:** Diagrama de flujo de diseño y opciones tecnológicas. Arquitecturas de FPGAs. Interconexión. Skew y distribución de reloj. Frecuencia máxima. Modelo de Retardos. Virtex y Spartan. Herramienta EDA: *Technology Mapping, Place-Route. Simulated Annealing*. Simulación: Controlabilidad y observabilidad. Herramienta Xilinx ISE y Altera. Herramientas de Síntesis (*Xilinx Synthesis Tool - XST*). *Design Entry Tools (HDL Editor, Core Generator, Schematic Editor, State Editor, PACE)*. Opciones de Implementación. Análisis de *Reports*. Simulador *Modelsim (Behavioral and Timing Simulation)*. Modos de configuración.

**VHDL 1:** Simulación funcional, post-síntesis y *post-layout*. Configuraciones. Diseño orientado a síntesis: inferencia de memoria, circuitos aritméticos, combinatoriales y FSMs. Módulos parametrizables genéricos.

**Opciones Avanzadas de Diseño:** *User Constraint File* (Fichero UCF). Ejercicios de optimización utilizando las herramientas *Floorplanner* y *FPGA Editor*. Opciones avanzadas de síntesis. *RPM* (emplazamiento relativo).

*Xpower* (estimación de consumo). Memoria (distribuida, doble puerto, blockRAM, SRL), cadenas de acarreo, multiplicadores embebidos. DLL y DCM. Diseño incremental y Modular.

**Diseño de alta velocidad en FPGAs:** Fallos de Sincronización: Doble Captura y Captura Nula. *Pipelining. Area - Time - Power*.

**VHDL 2:** Bancos de pruebas complejos, procedimientos, funciones y paquetes. Estructuras repetitivas y generadores de módulos. Ejemplo de diseño con picoBlaze (microcontrolador embebido).

## Profesores (preliminar):

Dr. Eduardo Boemo . (Univ. Autónoma de Madrid)  
Dr. Andrés David García García (Inst. Tecn. de Monterrey)  
Ing. Elías Todorovich (Univ. Autónoma de Madrid)  
Ing. Gustavo Sutter (Univ. Autónoma de Madrid)  
Ing. Nelson Acosta . (Univ. Nac. del Centro, Tandil)  
Ing. Carlos Gayoso . (Univ. Nac. de Mar del Plata)  
Ing. Claudio González (Univ. Nac. de Mar del Plata)