

## Información General

### Conocimientos Previos:

Nociones básicas de Electrónica Digital y experiencia en el diseño VHDL. De no cumplir este último requisito puede optar por asistir a la Semana 0.

### Horarios:

Semana 0: Lunes 17, Martes 18 de enero de 2004, de 9 a 18 hs.  
Semana 1: Lunes 24, Martes 25 y Miércoles 26 de enero de 2004, de 9 a 18 hs.  
Semana II: Miércoles 2, Jueves 3 y Viernes 4 de febrero de 2004, de 9 a 18 hs.

### Matrícula:

Intro VHDL + Curso Completo (Semana 0, I y 2): 1450 €

Curso Completo (Semana I y 2): 1250 €.

Intro VHDL + Semana I: 1050 €

Semana 2: 900 €

El precio incluye el material del curso, comidas y cafés. Todos los precios incluyen el 16% de IVA.

### Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, puede enviar el pago hasta el 12 de enero de 2005, por transferencia bancaria a la Fundación General de la Universidad Autónoma de Madrid, cuenta 2038-1530-95-6000048309 (Referencia entrenamiento FPGA). Envíe una copia del justificante de transferencia al fax: 91 497 2235. Información sobre facturación y pagos: elias.todorovich@uam.es

### Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctra. de Colmenar Km.15, 28049 Madrid. Puede encontrar información sobre como llegar a la EPS UAM en: [http://www.ii.uam.es/esp/vias\\_acceso.html](http://www.ii.uam.es/esp/vias_acceso.html) La Escuela se encuentra comunicada por autovía (M40 + M607 Ctra. de Colmenar), Autobuses y Trenes de Cercanías. No existen problemas de aparcamiento en la zona.

### Reserva de Plaza:

El curso tiene un cupo limitado a 24 asistentes. Puede reservar plaza vía la página web del curso ([www.ii.uam.es/~euroform](http://www.ii.uam.es/~euroform)) o enviando los siguientes datos por fax (91 497 2235)

**Nombre y Apellido:**

**Empresa:**

**Teléfono de contacto:**

**e-mail:**

**Fax:**

**Webpage:**

**Reserva de Plaza:**

- |  |                                       |
|--|---------------------------------------|
| <input type="checkbox"/> Semana 0, I y 2 | <input type="checkbox"/> Semana 0 y I |
| <input type="checkbox"/> Semana I y 2    | <input type="checkbox"/> Semana 2.    |



Iniciativa Euroform  
Polo Español

### Información Adicional:

**Eduardo Boemo**

Ctra. de Colmenar Km.15  
28049 Madrid

Teléfonos: 91 497 2268 / 606 36 16 11 / 609 69 16 07

Fax: 91 497 2235

Correo: [eduardo.boemo@uam.es](mailto:eduardo.boemo@uam.es)

Internet: <http://www.ii.uam.es/~euroform>



Iniciativa Euroform  
Polo Español

## FPGAs Xilinx - VHDL - Entorno de Diseño ISE

Ciclo 2005 de  
Entrenamiento Intensivo en  
Diseño de Sistemas Electrónicos



Escuela Politécnica Superior  
Universidad Autónoma de Madrid



Con la colaboración de:



# Curso 2005: FPGAs Xilinx - VHDL - Entorno de Diseño ISE

## Presentación

Este curso se dirige a diseñadores de circuitos digitales o directores de proyecto relacionados con sistemas electrónicos. Dentro del amplio espectro de FPGAs, el temario está centrado en los dispositivos y herramientas de Xilinx, en el lenguaje VHDL, y en el entorno de diseño ISE (*Integrated Synthesis Environment*).

El curso es eminentemente práctico. El trabajo de Laboratorio (un asistente por PC) constituye cerca del 60 % del total. La duración del curso completo es de 48 hs, distribuidas a lo largo de dos semanas. Adicionalmente se ofrece un curso de 16 hs de nivelación en VHDL.

Por flexibilidad, el temario se ha separado en tres partes. En la Semana 0 se presentan las nociones básicas del lenguaje de descripción de hardware VHDL. Luego, en la Semana 1 se cubren todos los conocimientos necesarios para materializar un diseño exitoso con FPGAs. En la Semana 2 se concentran los temas más específicos, de utilidad para diseños de altas prestaciones.

Se utilizarán las herramientas Xilinx ISE 6.3i, síntesis XST (*Xilinx Synthesis Technologies*) y Modelsim para la simulación.

Los descriptores del curso para cada bloque son:

## Semana 0:

Introducción VHDL: Introducción. Entidad y arquitectura. Tipos de señales. Operadores. Sentencias secuenciales y concurrentes. Procesos. Lista de sensibilidad. Variables. Registros en VHDL. Memoria implícita. Máquinas de estados. Inferencia de alta impedancia. Diseño jerárquico. Simulación funcional con bancos de prueba básicos.

## Semana 1:

FPGAs / Herramienta EDA: Diagrama de flujo de diseño y opciones tecnológicas. Arquitecturas de FPGAs. Interconexión. Skew y distribución de reloj. Frecuencia máxima. Modelo de Retardos. Herramienta EDA: *Technology Mapping, Place-Route, Simulated Annealing*. Simulación: Controlabilidad y observabilidad. Herramienta ISE. *Project Navigator* (Códigos fuentes y procesos asociados). Herramientas de Síntesis (*Xilinx Synthesis Tool - XST*). *Design Entry Tools* (*HDL Editor, Core Generator, Schematic Editor, State Editor, PACE*). Opciones de Implementación. Análisis de *Reports*. Simulador *Modelsim* (*Behavioral and Timing Simulation*). Modos de configuración.

VHDL 1: Simulación funcional, post-síntesis y *post-layout*. Configuraciones. Manejo del simulador

*stand-alone* o desde ISE. Diseño orientado a síntesis: inferencia de memoria, circuitos aritméticos, combinacionales y FSMs. Módulos parametrizables (*generic*).

## Semana 2:

Opciones Avanzadas de Diseño: *User Constraint File* (Fichero UCF). Ejercicios de optimización utilizando las herramientas *Floorplanner* y *FPGA Editor*. Opciones avanzadas de síntesis. *RPM* (emplazamiento relativo). *Xpower* (estimación de consumo). JTAG. Reconfiguración en tiempo de ejecución. Tecnología JBits. Memoria (distribuida, doble puerto, blockRAM, SRL), cadenas de acarreo, multiplicadores embebidos. DLL y DCM. Diseño incremental y Modular.

Diseño de alta velocidad en FPGAs: Fallos de Sincronización: Doble Captura y Captura Nula. *Pipelining*. *Area - Time - Power*. *Metaestabilidad*

VHDL 2: Bancos de pruebas complejos, con procedimientos, funciones y paquetes. Estructuras repetitivas y generadores de módulos. Manejo del tiempo en VHDL. Interacción con simuladores (TCL/TK). Conexión VHDL - C/C++. Ejemplos de diseño con picoBlaze (microcontrolador embebido).