

## Información General

### Conocimientos Previos:

Experiencia en programación en C y conocimientos básicos de VHDL y diseño con FPGAs de Xilinx. De no cumplir este último requisito puede optar por asistir al entrenamiento intensivo en FPGAs, que comienza el 17 de enero:

<http://www.ii.uam.es/~euroform/cursos2005/CursoFPGAs2005.pdf>

### Horario:

Del lunes 14 al jueves 17 de febrero de 2004, de 9 a 18 hs.

### Matrícula:

Precio del curso: 1450 €.

Descuento de 300 € a los asistentes al entrenamiento FPGA 2005 y de 200 € a los alumnos de ediciones anteriores.

El precio incluye el material del curso, comidas y cafés. Todos los precios incluyen el 16% de IVA.

### Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, puede enviar el pago hasta el 9 de febrero de 2005 por transferencia bancaria a la Fundación General de la Universidad Autónoma de Madrid, cuenta 2038-1530-95-6000048309 (Referencia Proyecto 658005 Curso EDK). Envíe una copia del justificante de transferencia al fax: 91 497 2235. Información sobre facturación y pagos: [elias.todorovich@uam.es](mailto:elias.todorovich@uam.es)

### Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctra. de Colmenar Km.15, 28049 Madrid. Puede encontrar información sobre como llegar a la EPS UAM en: [http://www.ii.uam.es/esp/vias\\_acceso.html](http://www.ii.uam.es/esp/vias_acceso.html) La Escuela se encuentra comunicada por autovía (M40 + M607 Ctra. de Colmenar), autobuses y trenes de cercanías. No existen problemas de aparcamiento en la zona.

### Reserva de Plaza:

El curso tiene un cupo limitado a 20 asistentes. Puede reservar plaza vía la página web del curso ([www.ii.uam.es/~euroform](http://www.ii.uam.es/~euroform)) o enviando los siguientes datos por fax (91 497 2235)

**Nombre y Apellido:**

**Empresa:**

**Teléfono de contacto:**

**e-mail:**

**Fax:**

**Webpage:**

**Reserva de Plaza:**

Curso Xilinx EDK y MicroBlaze



Iniciativa Euroform  
Polo Español

### Información Adicional:

**Eduardo Boemo**

Ctra. de Colmenar Km.15  
28049 Madrid

Teléfonos: 91 497 2268 / 606 36 16 11 / 609 69 16 07

Fax: 91 497 2235

Correo: [eduardo.boemo@uam.es](mailto:eduardo.boemo@uam.es)

Internet: <http://www.ii.uam.es/~euroform>



Iniciativa Euroform  
Polo Español

## Xilinx EDK y MicroBlaze

Ciclo 2005 de  
Entrenamiento Intensivo en  
Diseño de Sistemas Electrónicos



Escuela Politécnica Superior  
Universidad Autónoma de Madrid



Con la colaboración de:



# Curso 2005: Xilinx EDK y Microprocesador Microblaze

---

## Presentación

Este curso se dirige a las personas interesadas en sistemas embebidos basados en FPGAs. No sólo está orientado a los diseñadores/as que quieran empezar a trabajar con esta tecnología, sino que también resultará de utilidad a los directores/as de proyecto que deseen conocer de primera mano cuáles son las posibilidades que ofrecen estos sistemas.

El curso está centrado en el microprocesador Microblaze y es eminentemente práctico. El trabajo de laboratorio (un asistente por PC) constituye cerca del 60 % del total. Además, cada alumno/a dispondrá de una tarjeta de desarrollo basada en Spartan-3.

La duración del curso completo es de 32 hs, distribuidas a lo largo de cuatro días de trabajo. Al final del curso el alumno/a habrá adquirido los conocimientos necesarios para crear su propio sistema en un chip (SoC) basado en FPGAs.

Se utilizarán las herramientas de desarrollo de Xilinx ISE y EDK 6.3i, y para la simulación se empleará ModelSim. Adicionalmente estará disponible la síntesis de Synplify.

Los descriptores del curso para cada día son:

### Día 1:

Introducción a los sistemas embebidos y su metodología de diseño. Flujo de diseño en Xilinx EDK. Descripción de MicroBlaze y comparación con otras alternativas. Buses de comunicación: OPB, PLB, AMBA.

Desarrollo de un sistema embebido simple basado en MicroBlaze: implementación de un HW sencillo con GPIOs y un timer, como manejar diferentes proyectos SW, depuración elemental con GDB.

Diseño de sistemas complejos con múltiples periféricos: GPIOs, timers, Ethernet, controladores de memoria, etc... Manejo de interrupciones simple y con controladores de interrupciones.

### Día 2:

Diseño de IPs a medida: descripción en detalle del OPB, introducción al IPIF, uso de los wizards disponibles en EDK. Introducción al concepto de diseño para reutilización (*design for reuse*). Revisión de las construcciones VHDL empleadas para crear módulos parametrizables.

Ejemplo práctico (controlador PWM). Validación del core con simulaciones VHDL en ModelSim. Introducción a las herramientas de soporte para los buses IBM CoreConnect (BFM).

Temas básicos en el desarrollo de software: peculiaridades de la programación para EDK, uso de los *drivers* incluidos en EDK para el manejo de los periféricos, opciones básicas de compilación.

### Día 3:

Técnicas software avanzadas: interrupciones, *bootloaders*, ejecución de programas desde la memoria externa. Manejo avanzado de las herramientas GNU: *linker scripts*, *makefiles*.

Desarrollo de aplicaciones complejas con el SDK (Software Development Kit): Multiproceso con Xilkernel, manejo de archivos (MFS, memory file system), aplicaciones en red (XilNet y lwIP). Ejemplo práctico: servidor web.

### Día 4:

Como arrancar el sistema desde memoria flash. Mejorar sus prestaciones: *profiling*, uso de memorias caché, síntesis con otras herramientas.

Simulación completa con ModelSim. *Scripts* de simulación, simulaciones funcionales y *post-layout*. Introducción a la verificación con ChipScope.

Temas avanzados: Coprocesadores FSL, sistemas operativos y demostración de uCLinux.