



Iniciativa Euroform  
Polo Español

# Diseño de Sistemas Electrónicos Ciclo 2005 de Seminarios



Escuela Politécnica Superior  
Universidad Autónoma de Madrid

Miércoles 22 de Junio de 2005, 9:00 hs:

Seminario Aries/Pentek: “Seminario Técnico: Proceso Avanzado de Señal”

Viernes 1 de Julio de 2005, 9:00 hs:

Seminario Euroform: “Aceleración HW en sistemas MicroBlaze autorreconfigurables”

Viernes 8 de Julio de 2005, 9:00 hs:

Seminario Silica: “XILINX: Virtex-4 y Spartan-3E, a la vanguardia de las arquitecturas FPGA”

Escuela Politécnica  
Superior  
Universidad Autónoma  
de Madrid

Ctra. de Colmenar Km.15  
28049 Madrid

Tel: 91 497 2261

91 497 2268

606 36 16 11

609 69 16 07

Fax: 91 497 2235

Correo:

eduardo.boemo@uam.es.

gustavo.sutter@uam.es

<http://www.ii.uam.es/euroform>

La asistencia a los seminarios es gratuita aunque se requiere inscripción dado que el número de plazas es limitado. Complete por favor el formulario de la siguiente página.

**Miércoles 22 de junio de 2005:**

**Seminario Aries/Pentek: "Seminario Técnico: Proceso Avanzado de Señal"**

La empresa Aries Ingeniería presenta este seminario técnico sobre procesado de señal cuyas principales descripciones son:

Introduction and Pentek Company Overview; Software Radio Basics and Theory of Operation (Theory of Operation, Digital Down Converters, Digital Up Converters, Aliasing and Undersampling). New Open Standards for Switched Serial Fabrics (VME Renaissance, VXS - VITA 41, XMC - VITA 42), FPGAs Replace ASICs and DSPs for Software Radio (FPGA Resources, Software Radio Functions, DSP Functions, IP Cores for Software Radio, Strategies for Maximizing Performance for Real-Time Systems, Eliminating the Bottlenecks in data flow, Multiprocessing C6000 and G4 PowerPC, FPGA System Architectures for Real-Time Applications, Maximizing I/O for A/D, D/A, Digital Receivers and Upconverters); FPGA Development Strategies for Software Radio;

Toda la información complementaria la puede obtener de: <http://www.emred.com/mail/foro/mail.htm> ó bien de la página de Aries Ingeniería (<http://www.aries-ingenieria.com/>)

**Viernes 1 de julio de 2005:**

**Seminario Euroform: "Aceleración HW en sistemas MicroBlaze autorreconfigurables"**

9:00-10:30 Alternativas para implementar coprocesadores en MicroBlaze

MicroBlaze es el procesador *soft-core* que ofrece Xilinx como base para crear sistemas en un chip (SoCs) en sus FPGAs. MicroBlaze es pequeño y fácil de usar, pero sus prestaciones son bastante modestas (alrededor de 100 D-MIPS). Una buena manera de solucionar este el problema es usar aceleración por hardware, con la que se puede conseguir mejorar el rendimiento de las aplicaciones varias decenas de veces. En esta primera parte del seminario se presentan las alternativas que tiene MicroBlaze para implementar coprocesadores: periféricos OPB o conexión directa vía buses FSL.

11:00-13:00 Sistemas autorreconfigurables con MicroBlaze y Spartan-3

Usar coprocesadores tiene dos problemas. El primero es que si hay que acelerar muchos algoritmos por HW, los coprocesadores ocuparán una parte muy significativa de la FPGA (aunque probablemente sólo se use uno de ellos en un momento dado). Por otro lado, los coprocesadores quedan fijos en el HW, en tiempo de diseño, no pudiendo actualizarse o añadir otros nuevos a posteriori. Estos dos problemas se resuelven usando autorreconfiguración, o sea, que el procesador embebido sea capaz de modificar la configuración de la propia FPGA donde está implementado. Así puede cargar nuevos coprocesadores según los vaya necesitando. En esta segunda parte se mostrará un ejemplo de cómo un sistema basado en Spartan-3 y MicroBlaze carga a través de la red diferentes coprocesadores para criptografía.

**Viernes 8 de julio de 2005:**

**Seminario Silica: "XILINX: Virtex-4 y Spartan-3E, a la vanguardia de las arquitecturas FPGA"**

Como es bien sabido, el de la Lógica Programable es uno de los campos más dinámicos en este mundo de la Electrónica, de manera que cada cierto tiempo conviene dedicar unas horas a conocer su evolución.

La propuesta para este seminario consiste en ofrecer una panorámica de la familia Virtex-4 de FPGAs de Xilinx, acercándonos a su arquitectura, prestaciones, consumo y características diferenciales tales como sus grandes posibilidades en aplicaciones basadas en DSP. Además, la vertiente de FPGAs de bajo coste será atendida mediante la presentación de los nuevos dispositivos Spartan3E, particularizando sus rasgos diferenciales respecto a la ya popular Spartan3, de la que se han vendido varios millones de unidades en su primer año de producción. Spartan-3E nace con vocación de aumentar las prestaciones y seguir disminuyendo el precio requerido por equipos de coste crítico.

**Inscripción Seminarios Diseño Electrónico**

**Envíela por fax al +34 91 497 22 35**

**Nombre y Apellido:** \_\_\_\_\_

**Empresa:** \_\_\_\_\_

**Teléfono de contacto:** \_\_\_\_\_

**e-mail:** \_\_\_\_\_

**Fax:** \_\_\_\_\_

**Webpage:** \_\_\_\_\_

Iniciativa Euroform

**Indique su reserva de plaza:**

Miércoles 22 de Junio de 2005. Seminario Aries/Pentek: "Proceso Avanzado de Señal"

Viernes 1 de julio de 2005: Aceleración HW en sistemas MicroBlaze autorreconfigurables.

Viernes 8 de julio de 2005: Virtex-4 y Spartan-3E, a la vanguardia de las arquitecturas FPGA