Información General

Conocimientos Previos:

Experiencia en programación en C y conocimientos básicos de VHDL y diseño con FPGAs de Xilinx. De no cumplir este último requisito puede optar por asistir al entrenamiento intensivo en FPGAs, que comienza el 9 de mayo. Más información en http://www.ii.uam.es/~euroform/

Horario:

Básico: lunes 12, martes 13 y miércoles 14 de junio de 2006, de 9 a 18 hs.

Avanzado: miércoles 21, jueves 22 y viernes 23 de junio de 2006, de 9 a 18 hs.

Matrícula:

Precio del curso EDK completo: 2350 €. EDK Básico: 1250 € EDK Avanzado: 1600 €

Descuento de 15 % a los asistentes al entrenamiento FPGA 2006 y de 10 % a los alumnos de ediciones anteriores.

El precio incluye el material del curso, comidas y cafés.

Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, puede enviar el pago hasta el 9 de junio de 2006 por transferencia bancaria a la Fundación General de la Universidad Autónoma de Madrid, cuenta 2038-1530-95-6000048309 (Referencia Proyecto 658007 Curso EDK). Envíe una copia del justificante de transferencia al fax: 91 497 2235. Información sobre facturación y pagos: elias.todorovich@uam.es

Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctra. de Colmenar Km.15, 28049 Madrid. Puede encontrar información sobre como llegar a la EPS UAM en: http://www.ii.uam.es/esp/vias_acceso.php La Escuela se encuentra comunicada por autovía (M-40 + M-607 Ctra. de Colmenar), autobuses y trenes de cercanías. No existen problemas de aparcamiento en la zona.

Reserva de Plaza:

El curso tiene un cupo limitado a 20 asistentes. Puede reservar plaza vía la página web del curso (www.ii.uam.es/~euroform) o enviando los siguientes datos por fax (91 497 2235)

Nombre y Apellido:

Empresa:

Teléfono de contacto:

e-mail:

Fax:

Webpage:

Reserva de Plaza:

☐ Curso EDK Completo

☐ Curso EDK Básico

☐ Curso EDK Avanzado

Iniciativa Euroform
Polo Español

Información Adicional:

Eduardo Boemo

Ctra. de Colmenar Km.15
28049 Madrid

Teléfonos: 91 497 2268 / 606 36 16 11 / 609 69 16 07
Fax: 91 497 2235
Correo: eduardo.boemo@uam.es
Internet: http://www.ii.uam.es/~euroform

Iniciativa Euroform
Polo Español

Xilinx EDK: MicroBlaze y PowerPC

Ciclo 2006 de Entrenamiento Intensivo en Diseño de Sistemas Electrónicos

Escuela Politécnica Superior

Universidad Autónoma de Madrid

Con la colaboración de:

Curso 2006: Xilinx EDK: Microprocesadores Microblaze y PowerPC

Presentación

Este curso se dirige a las personas interesadas en sistemas embebidos basados en FPGAs. No sólo está orientado a los diseñadores/as que quieran empezar a trabajar con esta tecnología, sino que también resultará de utilidad a los directores/as de proyecto que deseen conocer de primera mano cuáles son las posibilidades que ofrecen estos sistemas.

Durante el curso se trabajará tanto con el microprocesador Microblaze como con PowerPC. El trabajo de laboratorio (un asistente por PC) constituye cerca del 60 % del total, y siempre se terminará en pruebas sobre sistemas reales (se facilitarán tarjetas de desarrollo basadas en Spartan-3 y Virtex-II Pro).

La duración del curso completo es de 48 hrs, distribuidas a lo largo de 6 días de trabajo. El curso se divide en dos partes: básico (lunes a miércoles) y avanzado (miércoles a viernes de la semana siguiente). El objetivo final del curso es alcanzar los conocimientos necesarios para crear un completo sistema en un chip (SoC) basado en FPGAs.

Se utilizarán las herramientas de desarrollo de Xilinx ISE y EDK 8.1i, y el simulador ModelSim. Adicionalmente estará disponible Synplify.

Básico - Día 1:

Introducción al desarrollo de sistemas embebidos. Flujo de diseño en Xilinx EDK. Descripción de MicroBlaze (MB) y PowerPC (PPC). Comparación con otras alternativas. Buses de comunicación: OPB, PLB, AMBA.

Desarrollo de sistemas embebidos básicos basados en MB y PPC. Uso de periféricos sencillos (GPIO, UART, *timer*, etc…). Manejo de diferentes proyectos SW. Depuración elemental con GDB. Manejo de interrupciones simple y con controladores de interrupciones.

Día 2:

Diseño de IPs a medida: descripción en detalle del OPB, introducción al IPIF, uso de los *wizards* disponibles en EDK. Introducción al concepto de diseño para reutilización (*design for reuse*). Ejemplo práctico (controlador PWM). Validación del *core* con simulaciones VHDL en ModelSim.

Temas básicos en el desarrollo de software: peculiaridades de la programación para EDK, implementación de *drivers* para el manejo de periféricos, opciones básicas de compilación.

Día 3:

Periféricos avanzados: controladores de memoria, Ethernet. Técnicas software avanzadas: *bootloaders*, ejecución de programas desde la memoria externa. Manejo avanzado de las herramientas GNU: *linker scripts*, *makefiles*. Aplicación de ejemplo (servidor web).

Avanzado - Día 1:

Desarrollo de aplicaciones complejas con el SDK (*Software Development Kit*). Manejo de archivos (MFS). Aplicaciones en red (LwIP).

Multiproceso con Xilkernel. Mejora de prestaciones en MB: cachés, FPU, juego de instrucciones. Cachés y MMU de PPC. Síntesis con herramientas alternativas a XST: Synplify.

Día 2:

Desarrollo avanzado de IPs (*master* OPB/PLB) Introducción a las herramientas de soporte para los buses IBM CoreConnect (BFM). Simulaciones de *cores* maestros con BFM.

Modelado de sistemas completos en ModelSim. *Scripts* de simulación, simulaciones funcionales y *post-layout*.

Verificación en tiempo real: ChipScope. ILA y *cores* de análisis de bus OPB/PLB.

Día 3:

Codiseño HW/SW: particionado del algoritmo basado en *profiling*, desarrollo de coprocesadores basados en buses de propósito general (OPB/PLB) o específicos (FSL/APU).

Memoria Flash: herramientas para su manejo, sistemas autónomos. Sistemas operativos: uClinux. Introducción, ventajas y demostración sobre MB.