

Información General

Conocimientos Previos:

Nociones básicas de Electrónica Digital y Lenguaje VHDL. De no cumplir este último requisito puede optar por asistir a la Semana 0 (Curso intensivo VHDL: 16 hs teoría y laboratorio).

Horarios:

Semana 0: martes 25 y miércoles 26 de mayo de 2010, de 9 a 18 hs.

Semana 1: lunes 31 de mayo, martes 1 y miércoles 2 de junio de 2010, de 9 a 18 hs.

Semana II: miércoles 9, jueves 10 y viernes 11 de junio de 2010, de 9 a 18 hs.

Matrícula:

VHDL + Curso Completo (Semana 0, 1 y 2): 1700 €.

Curso Completo (Semana 1 y 2): 1480 €.

Intro VHDL + Semana 1: 1200 €.

Semana 2: 1050 €.

El precio incluye el material del curso, comidas y cafés.

Forma de pago:

Una vez recibida la confirmación de la reserva de plaza, se le enviará una hoja de inscripción para pago por tarjeta de crédito o transferencia bancaria. Información adicional sobre facturación y pagos: facturacion@euroform-ti.org

Lugar:

Escuela Politécnica Superior de la Universidad Autónoma de Madrid, Ctra. de Colmenar Km.15, 28049 Madrid. Puede encontrar información sobre como llegar a la EPS UAM en: http://www.eps.uam.es/esp/vias_acceso.html La Escuela se encuentra comunicada por autovía (M40 + M607 Ctra. de Colmenar), Autobuses y Trenes de Cercanías. No existen problemas de aparcamiento en la zona.

Reserva de Plaza:

El curso tiene un cupo limitado a 20 asistentes. Puede reservar plaza vía la página web del curso (www.euroform-ti.org) o enviando los siguientes datos por fax (91 497 45 74)

Nombre y Apellido:

Empresa:

Teléfono de contacto:

e-mail:

Fax:

Página www:

Reserva de Plaza:

Semana 0, 1 y 2

Semana 0 y 1

Semana 1 y 2

Semana 2.



Iniciativa Euroform
Polo Español

Información Adicional:

Eduardo Boemo (606 36 16 11)

Gustavo Sutter (609 69 16 07)

Ctra. de Colmenar Km.15

28049 Madrid

TE: 91 497 2268 Fax: 91 497 45 74

Correo: eduardo.boemo@uam.es / gustavo.sutter@uam.es

Internet: <http://www.euroform-ti.org>



Iniciativa Euroform
Polo Español

FPGAs Xilinx - VHDL - Entorno de Diseño ISE

Ciclo 2010 de
Entrenamiento Intensivo en
Diseño de Sistemas Digitales



Escuela Politécnica Superior
Universidad Autónoma de Madrid



Con la colaboración de:



Curso junio 2010: FPGAs Xilinx - VHDL - Entorno de Diseño ISE

Presentación

Este curso se dirige a diseñadores de circuitos digitales o directores de proyecto relacionados con sistemas electrónicos. Dentro del amplio espectro de FPGAs, el temario está centrado en los dispositivos y herramientas de Xilinx, en el lenguaje VHDL, y en el entorno de diseño ISE (*Integrated Software Environment*).

El curso es eminentemente práctico. El trabajo de Laboratorio (un asistente por PC) constituye cerca del 60 % del total. La duración del curso completo es de 48 hs, distribuidas a lo largo de dos semanas. Adicionalmente se ofrece un curso de 16 hs de nivelación en VHDL.

Por flexibilidad, el temario se ha separado en tres partes. En la Semana 0 se presentan las nociones básicas del lenguaje de descripción de hardware VHDL. Luego, en la Semana 1 se cubren todos los conocimientos necesarios para materializar un diseño exitoso con FPGAs. En la Semana 2 se concentran los temas más específicos, de utilidad para diseños de altas prestaciones.

Se utilizarán las herramientas Xilinx ISE 11.X, síntesis XST (*Xilinx Synthesis Technology*) y Modelsim para la simulación.

Los descriptores del curso para cada bloque son:

Semana 0:

Introducción VHDL: Introducción. Entidad y arquitectura. Tipos de señales. Operadores. Sentencias secuenciales y concurrentes. Procesos. Lista de sensibilidad. Variables. Registros en VHDL. Memoria implícita. Máquinas de estados. Inferencia de alta impedancia. Diseño jerárquico. Simulación funcional con bancos de prueba básicos.

Semana 1:

FPGAs / Herramienta EDA: Diagrama de flujo de diseño y opciones tecnológicas. Arquitecturas de FPGAs. Interconexión. Skew y distribución de reloj. Frecuencia máxima. Modelo de Retardos. Herramienta EDA: *Technology Mapping, Place-Route*. Simulación: Controlabilidad y observabilidad. Herramienta ISE. *Project Navigator* (Códigos fuentes y procesos asociados). Herramientas de Síntesis (*Xilinx Synthesis Technology - XST*). *Design Entry Tools* (*HDL Editor, Core Generator, PACE*). Opciones de Implementación. Análisis de *Reports*. Simulador *Modelsim* (*Behavioral and Timing Simulation*). Modos de configuración. Introducción a PlanAhead

VHDL 1: Simulación funcional, post-síntesis y *post-layout*. Configuraciones. Manejo del simulador *stand-alone* o desde ISE. Diseño orientado a síntesis:

inferencia de memoria, circuitos aritméticos, combinacionales y FSMs. Módulos parametrizables (*generic*).

Semana 2:

Opciones Avanzadas de Diseño: *User Constraint File* (Fichero UCF). Ejercicios de optimización utilizando las herramientas *Floorplanner* y *FPGA Editor*. Opciones avanzadas de síntesis. *RPM* (emplazamiento relativo). *Xpower* (estimación de consumo). JTAG. Reconfiguración en tiempo de ejecución. Memoria (distribuida, doble puerto, blockRAM, SRL), cadenas de acarreo, multiplicadores embebidos (DSP48). DLL, DCM y PLL. Conexiones a Memorias externas. Diseño incremental y Modular. Utilización Avanzada de PlanAhead.

Diseño de alta velocidad en FPGAs: Fallos de Sincronización: Doble Captura y Captura Nula. *Pipelining*. *Compromiso Area - Time - Power*. *Meta-estabilidad*

VHDL 2: Bancos de pruebas complejos, con procedimientos, funciones y paquetes. Estructuras repetitivas y generadores de módulos. Manejo del tiempo en VHDL. Interacción con simuladores (TCL/TK). Conexión VHDL - C/C++. Ejemplos de diseño con picoBlaze (microcontrolador embebido).