Trainings en Tecnología Xilinx

Electratraining, ahora como Xilinx ATP (Authorized Training Provider), ofrece entrenamientos intensivos en tecnología Xilinx, tanto presenciales como online (Live Online).

La modalidad presencial son sesiones de diarias de 8 hs, de 9 a 18, con pausa de café y comida. Típicamente se desarrollan en Madrid, en el campus Cantoblanco de la Universidad Autónoma de Madrid.

Las sesiones online son de 4,5 hs con pausa intermedia (14:00 a 18:30 hora Europea - CET). Se utiliza adobe connect con la posibilidad de interactuar con los profesores y ordenadores en la nube con las herramientas de Xilinx instaladas, se requiere conexión estable a internet tanto para seguir la teoría como la práctica.

El material e información se distribuye en inglés en tanto las clases son dictadas en español. Existe la posibilidad de dictado en inglés para cursos In-Company.

Esta es la *planificación preliminar para segundo semestre 2017*, podéis acceder a www.electratraining.org para ver detalles de cada curso. Consultas a info@electratraining.org.

Cursos Planificados para segundo semestre 2017:

VHDL01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx
VRLG01: Diseñando con Verilog. Síntesis Lógica y Simulación para FPGAs de Xilinx
FPGA01: Diseño FPGA de Xilinx usando Vivado Design Suite 1 (Vivado Fundamental)
FPGA02: Diseño FPGA de Xilinx usando Vivado Design Suite 2 (Vivado Avanzado II)
FPGA03: Diseño FPGA de Xilinx usando Vivado Design Suite 3 (Vivado Avanzado III)
FPGA04: Diseño FPGA de Xilinx usando Vivado Design Suite 4 (Vivado Avanzado IV)
EMB01: Esencial Sistemas Embebidos en FPGA de Xilinx
EMB02: Sistemas Embebidos en FPGA Avanzado
EMB11: Zynq UltraScale+ MPSoC para arquitectos de sistemas
HLS01: Síntesis de alto nivel para FPGAs de Xilinx con Vivado-HLS
SDS01: Diseño de sistemas con Xilinx SDSoc
SDA02: Uso del framework OpenCL para FPGAs (Entorno de desarrollo SDAccel)
CONN1: Conectividad en Xilinx FPGA: Designing with Serial Transceivers
EMLX1: Linux en FPGAs de Xilinx: Diseño Linux Empotrado con PetaLinux

HDL* (Hardware Description Languages) *for FPGA Program */ Programa HDL para FPGAs*

VHDL01: Designing with VHDL. Logical Synthesis and Simulation for Xilinx FPGA design

VHDL01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx

Breve resumen: Este curso es una introducción detallada al lenguaje VHDL. Énfasis en escritura de código sintetizable y escritura de código de simulación para bancos de pruebas (testbench). Se cubre el diseño a nivel RTL (nivel de transferencia de registros) y diferentes estilos de codificación. Éste curso aborda específicamente los dispositivos Xilinx y los dispositivos FPGA en general. También se introducen nociones de Verilog y la forma de interactuar con VHDL. Este curso es eminentemente práctico

VHDL01 - Presencial: L10 – X11 octubre (Presencial 3 días)

VRLG01: Designing with Verilog. Logical Synthesis and Simulation for Xilinx FPGA design

VRLG01: Diseñando con Verilog. Síntesis Lógica y Simulación para FPGAs de Xilinx

Breve resumen: Este curso completo es una introducción completa al lenguaje de Verilog. El énfasis está en escribir código a nivel RTL (Transferencia de Registro) y escribir código comportamental. Éste curso aborda específicamente los dispositivos Xilinx y los dispositivos FPGA en general. La formación puede aplicarse a cualquier diseño digital utilizando un enfoque top-down. Este curso combina conceptos teoricos con ejercicios prácticos de laboratorio para reforzar conceptos clave. También aprenderá técnicas avanzadas de codificación que mejorarán su optimización FPGA. Este curso cubre Verilog 1995 y 2001. En este curso de tres días, obtendrá valiosa experiencia práctica. Los estudiantes con poco o ningún conocimiento de Verilog terminarán este curso con la habilidad de escribir diseños de hardware eficientes y realizar simulaciones de alto nivel de HDL.

VRLG01 - Presencial: 1er semestre 2018

Vivado Design Suite Program */ Programa Vivado*

FPGA01: Designing FPGAs Using the Vivado Design Suite 1 (Essential Vivado)

FPGA01: Diseño FPGA de Xilinx usando Vivado Design Suite 1 (Vivado Fundamental)

Breve Resumen: Este curso ofrece entrenamiento introductorio en el Vivado ™ Design Suite y le ayuda a entender el flujo de diseño con FPGAs de Xilinx. Este curso enseña a crear un diseño de FPGA, que incluye la creación de un proyecto de Vivado Design Suite, simulando el diseño, realizando asignaciones de pines, aplicando restricciones básicas de temporización, sintetizando, implementando y depurando el diseño. Finalmente, también se cubre el proceso para generar y descargar flujo de bits en una placa de demostración.

FPGA01 - Presencial: L20 – M21 noviembre (Presencial 2 días)

FPGA02: Designing FPGAs Using the Vivado Design Suite 2 (Advanced Vivado II)

FPGA02: Diseño FPGA de Xilinx usando Vivado Design Suite 2 (Vivado Avanzado II)

Breve Resumen: Este curso muestra cómo construir un diseño eficaz en FPGA utilizando técnicas de diseño síncrono, usando el Vivado® IP integrator para crear un sub-sistemas, utilizando técnicas de codificación HDL adecuadas para mejorar el rendimiento de diseño y depurar un diseño con múltiples dominios de reloj.

FPGA02 - Presencial: X22 – J23 noviembre (Presencial 2 días)

FPGA03: Designing FPGAs Using the Vivado Design Suite 3 (Advanced Vivado III)

FPGA03: Diseño FPGA de Xilinx usando Vivado Design Suite 3 (Vivado Avanzado III)

Breve Resumen: Este curso demuestra técnicas para cumplir restricciones temporales (timing closure), tales como las restricciones básicas (baselining), segmentación (pipelining), circuitos de sincronización y técnicas óptimas de codificación HDL, que ayudan a cumplir restricciones temporales en el diseño. Este curso también le muestra cómo depurar su diseño usando capacidades avanzadas del Vivado logic analyzer.

FPGA03 - Presencial: L11 – M12 diciembre (Presencial 2 días)

FPGA04: Designing FPGAs Using the Vivado Design Suite 4 (Advanced Vivado IV)

FPGA04: Diseño FPGA de Xilinx usando Vivado Design Suite 4 (Vivado Avanzado IV)

Breve Resumen: Este curso aborda los aspectos más avanzados de la herramienta Vivado® Design Suite y del hardware de las FPGAs de Xilinx. Este curso le permite utilizar las capacidades avanzadas de Vivado para lograr cumplir requisitos de diseño (design closure). Además, se describen las restricciones de entrada/salida e interfaces source-synchronous y system-synchronous, uso de scripting Tcl en el flujo non-project, uso de técnicas de floorplanning, diseño incremental y optimizaciones físicas, características de seguridad (bitstream encryption, AES authentication y seguridad en IP), modos de configuración avanzados.

FPGA04 - Presencial: X13 – J14 diciembre (Presencial 2 días)

Embedded-Zynq Program */ Programa empotrados-Zynq*

EMB01: Essential Embedded Systems Design with Xilinx FPGA

EMB01: Esencial Sistemas Embebidos en FPGA de Xilinx

Breve resumen: Actualización en el desarrollo de sistemas embebidos utilizando Vivado® Design Suite en dispositivos Xilinx. El curso se basa especialmente Zynq (AP-SoC) aunque también Microblaze. EL curso enseña a crear periféricos para ampliar el sistema así como simularles utilizando modelos funcionales del bus (BFMs).

EMB01 - Presencial: L16 – M17 octubre (Presencial 2 días)

EMB02: Advanced Features and Techniques of Embedded Systems Design

EMB02: Sistemas Embebidos en FPGA Avanzado

Breve resumen: Ayuda a desarrolladores a entender y utilizar los componentes avanzados de las arquitecturas Zynq® o MicroBlaze ™. Detalla los componentes individuales en el PS: periféricos I/O, timers, caché, DMA e interrupciones. Énfasis en el acceso a la DDR de la lógica PL y acceso eficiente en la interconexión PL-PS. Introducción a las técnicas de programación de software y Linux en Sistemas embebidos en Xilinx.

EMB02 - Presencial: X18 – J19 octubre (Presencial 2 días)

EMLX1: Embedded Design with PetaLinux Tools

EMLX1: Linux en FPGAs de Xilinx: Diseño Linux Empotrado con PetaLinux

Breve resumen: Este curso de dos días proporciona a los desarrolladores de sistemas embebidos con experiencia en la creación de sistemas Linux la posibilidad de utilizarlo en el entorno de los dispositivos de Xilinx. El curso ofrece una experiencia práctica con la construcción del entorno y el arranque del sistema usando Zynq All Programmable SoC o Zynq UltraScale + MPSoC con PetaLinux Tools en el procesador ARM® Cortex ™ -A9 o Cortex-A53. Este curso también introduce los componentes integrados de Linux, utilizar componentes de código abierto (open-source), configuraciones de entorno, componentes de red y opciones de depuración para plataformas Linux. El enfoque principal se centra en el desarrollo de Linux empotrado junto con el flujo de herramientas de Xilinx.

EMLX1 - Presencial: L27 – M28 noviembre (Presencial 2 días)

EMB11: Zynq UltraScale+ MPSoC for system architect

EMB11: Zynq UltraScale+ MPSoC para arquitectos de sistemas

Breve Resumen: Arquitectos de sistemas, ingenieros software y hardware interesados en comprender las capacidades y el ecosistema del dispositivo MPSoC Zynq UltraScale+. Elementos clave de la unidad de procesamiento (APU - application processing unit) y la unidad de procesamiento en tiempo real (RPU - real-time processing unit); Conectividad entre el sistema de procesamiento (PS) y la lógica programable (PL); Utilizar QEMU para emular el comportamiento del HW; Utilizar las estrategias de gestión de energía y aprovechar las capacidades de la unidad de gestión de la plataforma (PMU); Secuencias de inicio apropiadas a las necesidades del sistema; Entornos de procesamiento múltiple asimétrico (AMP) y entornos de multi-procesamiento simétricos (SMP); Situaciones donde utilizar la tecnología ARM® TrustZone y /o un hipervisor.

EMB11: Presencial: 1er Semestre 2018 (Presencial 3 días)

DSP-HLS-SDx-Connectivity Program */ Programa DSP-HLS-SDx-Conectividad*

HLS01: High Level Synthesis for Xilinx FPGAs using Vivado-HLS

HLS01: Síntesis de alto nivel para FPGAs de Xilinx con Vivado-HLS

Breve Resumen: Completa Introducción a la herramienta de síntesis de alto nivel Vivado® (HLS). Este curso cubre estrategias de síntesis, características de la herramienta, mejora de rendimiento, optimización en área, creación de interfaces, reducción de latencia, codificación de bancos de prueba (testbench), trucos y consejos de codificación.

HLS01 - Presencial: L15 – M16 enero 2018 (Presencial 2 días)

SDS01: SDSoC development environment

SDS01: Diseño de sistemas con Xilinx SDSoc

Breve Resumen: Uso del entorno de desarrollo de sistemas empotrado SDSoc, el objetivo es utilizar las herramientas para acelerar un diseño existente a nivel de la arquitectura del sistema. Identificar las funciones candidatas para la aceleración de hardware mediante la herramienta de profiling TCF. Uso del depurador del sistema para controlar el flujo de ejecución y examinar la memoria y las variables durante una sesión de depuración. Mover las las funciones de software al hardware y estimar el rendimiento del acelerador y el efecto en el sistema.

SDS01 - Presencial: X17 – J18 enero 2018 (Presencial 2 días)

SDA02: Using the OpenCL Framework for FPGAs (SDAccel development environment)

SDA02: Uso del framework OpenCL para FPGAs (Entorno de desarrollo SDAccel)

Breve Resumen: Desarrollo de nuevas aplicaciones escritas en OpenCL, C / C ++ y RTL en el entorno de desarrollo SDAccel ™ para su uso en FPGAs Xilinx. También se cubre la traducción (porting) de aplicaciones existentes. Este curso también demuestra cómo depurar y perfilar (profiling) código OpenCL usando el entorno de desarrollo SDAccel. Además, aprenderá a maximizar el rendimiento y utilizar eficientemente los recursos de la FPGA.

SDA02 - Presencial: 2do semestre 2018 (Presencial 2 días)

CONN1: Xilinx FPGA Connectivity: Designing with Xilinx Serial Transceivers

CONN1: Conectividad FPGAs Xilinx: Diseño con Transceptores Seriales(GigabitTransceivers) de Xilinx

Breve Resumen: En este curso de dos días, se enseña a utilizar transceptores de los dispositivos Xilinx de las FPGAs serie 7, UltraScale ™, UltraScale + ™ o de los sistemas SoC Zynq® y UltraScale + MPSoC. Podrá identificar y utilizar las características de los bloques de transceptor serie (GigaBitTransceisvers), como la codificación 8B / 10B y 64B / 66B, la vinculación de canales, la corrección de reloj y la detección de comas. Temas adicionales incluyen el uso de los asistentes para generar la instanciación de transceptores, consideraciones de síntesis e implementación y del diseño de la placa (PCBs) en lo que se refiere a los transceptores, pruebas y depuración. Este curso como los demás combina teoría y laboratorios prácticos.

CONN1 - Presencial: L6 – M7 noviembre (Presencial 2 días)

Calendario segundo semestre 2017 / *Calendar second half 2017 :*

VHDL01 - Presencial: L10 – X11 octubre (Presencial 3 días)
EMB01 - Presencial: L16 – M17 octubre (Presencial 2 días)
EMB02 - Presencial: X18 – J19 octubre (Presencial 2 días)
CONN1 - Presencial: L6 – M7 noviembre (Presencial 2 días)
FPGA01 - Presencial: L20 – M21 noviembre (Presencial 2 días)
FPGA02 - Presencial: X22 – J23 noviembre (Presencial 2 días)
EMLX1 - Presencial: L27 – M28 noviembre (Presencial 2 días)
FPGA03 - Presencial: L11 – M12 diciembre (Presencial 2 días)
FPGA04 - Presencial: X13 – J14 diciembre (Presencial 2 días)
HLS01 - Presencial: L15 – M16 enero 2018 (Presencial 2 días)
SDS01 - Presencial: X17 – J18 enero 2018 (Presencial 2 días)

Precios por asistente / Prices per attendee**:**

VHDL01:	990 €	FPGA03:	960 €	HLS1:	950 €
VRLG01	990 €	FPGA04:	960 €	SDS1:	950 €
FPGA01:	840 €	EMB01:	970 €	EMLX1:	980 €
FPGA02:	960 €	EMB02:	980 €	CONN1:	980 €

Descuentos por varios cursos / Discounts for several courses **:**

VHDL01 + FPGA01: 1480 (-19%)
VRLG01 + FPGA01: 1480 (-19%)
FPG01 + FPGA02: 1440 € (-20%)
FPG02 + FPG0A3: 1520 € (-21%)
FPG03 + FPG0A4: 1520 € (-21%)
VHDL01 + FPGA01 + FPGA02: 2090 € (-25%)
FPGA01 + FPGA02 + FPGA03: 2070 € (-25%)
HDL01+ FPGA01+ FPGA02+ FPGA03: 2775 € (-26%)
FPGA01+ FPGA02+ FPGA03 + FPGA04: 2680 € (-28%)
HDL01+FPGA01+ FPGA02+FPGA03+FPGA04: 3300 € (-30%)
HLS1 coming from FPGx or EMx: 760 € (-20%)
SDS1 coming from HLS: 760 € (-20%)
EMLX1 coming from FPGx or EMx: 784 € (-20%)
CONN1 coming from FPGx or EMx: 784 € (-20%)

Descuentos adicionales / Additional discounts**:**

Cursos Electratraining previos 5%. Asistencia a cursos tecnología Xilinx en el último año 10%. Más de un participante de la misma empresa descuentos adicionales. Se puede utilizar Xilinx Training Credits.

Previous ElectraTraining course 5%. Previous Xilinx technology course in the last 12 month: 10%
More than one participant from the same company. It is possible to use Xilinx Training Credits.