

Trainings en Tecnología Xilinx



Electratraining en su rol de Xilinx ATP (Authorized Training Provider), ofrece entrenamientos intensivos en tecnología Xilinx, en cursos públicos o in-company, tanto presenciales como online (Live Online).

La modalidad públicos presenciales son sesiones diarias de 8 hs, de 9 a 18, con pausa de café y comida. Típicamente se desarrollan en Madrid, en el campus Cantoblanco de la Universidad Autónoma de Madrid. Las modalidades in-company ya sea presenciales o Live-Online con horarios a convenir

El material e información se distribuye en inglés en tanto las clases son dictadas en español. Existe la posibilidad de dictado en inglés para cursos In-Company.

Esta es la *planificación preliminar para el primer semestre 2019*, podéis acceder a www.electratraining.org para ver detalles de cada curso. Consultas a info@electratraining.org.

Los cursos de Xilinx FPGA y Sistemas Empotrados Zynq y Zynq US han sido actualizados y reorganizados

Cursos presenciales planificados primer semestre 2019:

VHD01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx

VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Essential.

VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Advanced.

SoC-ESS: Sistemas Embebidos en FPGA de Xilinx: HW y SW Esencial

SoC-ADV: Sistemas Embebidos en FPGA: HW y SW Avanzado

HLS01: Síntesis de alto nivel para FPGAs de Xilinx con Vivado-HLS

SDS01: Diseño de sistemas con Xilinx SDSoc

FPGA-MAN: FPGA para directores de proyectos e Integradores de Sistemas.

Cursos In-Company para 2019

Al margen de los cursos presenciales, todos los cursos del portfolio Xilinx se pueden ofrecer en formato in-company bajo petición. Puede consultar el listado completo en la página de Xilinx <https://xilinxprod-catalog.netexam.com/>

Los cursos exclusivos (In-company) se puede organizar tanto en nuestras instalaciones, en las como en las del cliente o bien en el formato live-online.

Diseñando con VHDL y Vivado Design Suite

Se trata de 3 cursos relacionados entre sí, que puedes ser cursados individualmente o combinados.

VHD01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx (2 días).

VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Fundamental (Vivado Fundamental) (3 días).

VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Avanzado (Vivado Avanzado) (3 días).

VHD01: Designing with VHDL. Logical Synthesis and Simulation for Xilinx FPGA design

VHD01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx

Breve resumen: Este curso es una introducción al lenguaje VHDL. Énfasis en escritura de código sintetizable y escritura de código de simulación para bancos de pruebas (testbench). Se cubre el diseño a nivel RTL (nivel de transferencia de registros) y diferentes estilos de codificación. Éste curso aborda específicamente los dispositivos Xilinx y los dispositivos FPGA en general. También se introducen nociones de Verilog y la forma de interactuar con VHDL. Este curso es eminentemente práctico

VHDL01 - Publico - Presencial: L08 abril – M09 abril (2 días)

VIV-ESS: Designing FPGAs Using the Vivado Design Suite Essential (Essential Vivado)

VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Fundamental (Vivado Fundamental)

Breve Resumen: Este curso ofrece entrenamiento introductorio en el Vivado Design Suite y le ayuda a entender el flujo de diseño con FPGAs de Xilinx. Este curso enseña a crear un diseño de FPGA, que incluye la creación de un proyecto de Vivado Design Suite, simulando el diseño, realizando asignaciones de pines, aplicando restricciones básicas de temporización, sintetizando, implementando y depurando el diseño. Finalmente, también se cubre el proceso para generar y descargar flujo de bits en una placa de demostración.

Se profundiza en cómo construir un diseño eficaz en FPGA utilizando técnicas de diseño síncrono, usando el Vivado® IP Integrator para crear un sub-sistemas, utilizando técnicas de codificación HDL adecuadas para mejorar el rendimiento de diseño y depurar un diseño con múltiples dominios de reloj.

VIV-ESS: - Publico - Presencial: X24 de abril – V26 de abril (3 días)

VIV-ADV: Designing FPGAs Using the Vivado Design Suite (Advanced Vivado)

VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Avanzado (Vivado Avanzado)

Breve Resumen: Se abordan los aspectos más avanzados de la herramienta Vivado® Design Suite y del hardware de las FPGAs de Xilinx. Este curso demuestra técnicas para cumplir restricciones temporales (timing closure), tales como las restricciones básicas (baselining), segmentación (pipelining), circuitos de sincronización y técnicas óptimas de codificación HDL, que ayudan a cumplir restricciones temporales en el diseño. Este curso también le muestra cómo depurar su diseño usando capacidades avanzadas del Vivado Logic Analyzer. Además, se revisan las capacidades avanzadas de Vivado para lograr cumplir requisitos de diseño (design closure). Se describen las restricciones de entrada/salida e interfaces source-synchronous y system-synchronous, uso de scripting Tcl, uso de técnicas de floorplanning, diseño incremental y optimizaciones físicas, características de seguridad (bitstream encryption, AES authentication y seguridad en IP), modos de configuración avanzados.

VIV-ADV - Publico - Presencial: L06 – X08 de mayo (3 días)

Sistemas Empotrados con Dispositivos Xilinx: Zynq, Zynq US+

Se trata de 2 cursos interrelacionados que exploran tanto las alternativas hardware como software en el desarrollo de sistemas empotrados basados en FPGAs de Xilinx:

SoC-ESS: Essential HW and SW for Embedded Systems Design with Xilinx FPGA

SoC-ESS: Sistemas Embebidos en FPGA de Xilinx: HW y SW Esencial (Essential SoC)

Breve resumen: Se explica el desarrollo de sistemas empotrados en FPGAs de Xilinx, tanto el diseño hardware con Vivado-IP Integrato como software desde SDK (Software Development Kit). El curso se basa especialmente Zynq 7000 SoC aunque también se describen y utilizan Microblaze y Zynq ultraScale+ (MPSoC). EL curso enseña a crear periféricos para ampliar el sistema, así como simularles utilizando modelos funcionales del bus (BFMs). Flujo de depuración software, hardware e interacción software-hardware. Utilizar QEMU para emular el comportamiento del HW; Introducción a las técnicas de programación de software desde SDK (Software Development Kit). Desarrollo del board support package (BSP), biblioteca de dispositivos y drivers para aplicaciones standalone (baremetal). Introducción a Linux en Sistemas embebidos de Xilinx.

EMB01 - Publico - Presencial: L03 – X05 de junio (3 días)

SoC-ADV: Advanced HW and SW of Embedded Systems Design

SoC-ADV: Sistemas Embebidos en FPGA de Xilinx: HW y SW Avanzados (Advanced SoC)

Breve resumen: Ayuda a desarrolladores a entender y utilizar los componentes avanzados de las arquitecturas Zynq® y Zynq ultraScale+. Para Zynq detalla los componentes individuales en el PS: periféricos I/O, timers, caché, DMA e interrupciones. Énfasis en el acceso a la DDR de la lógica PL y acceso eficiente en la interconexión PL-PS. En Zynq UltraScale+ estudio en de los elementos clave de la unidad de procesamiento (APU - application processing unit) y la unidad de procesamiento en tiempo real (RPU - real-time processing unit). Utilizar las estrategias de gestión de energía y aprovechar las capacidades de la unidad de gestión de la plataforma (PMU). Para ambos sistemas, se detalla la secuencia de inicio apropiadas a las necesidades del sistema; Entornos de procesamiento múltiple asimétrico (AMP) y entornos de multi-procesamiento simétricos (SMP); Situaciones donde utilizar la tecnología ARM® TrustZone y /o un hipervisor. Arranque del sistema, programación controladores DMA. Configuración de sistemas Petalinux, utilizar componentes de código abierto (open-source), configuraciones de entorno, componentes de red y opciones de depuración para plataformas Linux.

EMB02 - Publico - Presencial: L17 – X19 de junio (3 días)

HLS01: High Level Synthesis for Xilinx FPGAs using Vivado-HLS

HLS01: Síntesis de alto nivel para FPGAs de Xilinx con Vivado-HLS

Breve Resumen: Completa Introducción a la herramienta de síntesis de alto nivel Vivado® (HLS). Este curso cubre estrategias de síntesis, características de la herramienta, mejora de rendimiento, optimización en área, creación de interfaces, reducción de latencia, codificación de bancos de prueba (testbench), trucos y consejos de codificación.

HLS01 - Publico - Presencial: L14 – M15 enero 2019 (2 días)

SDS01: SDSoc development environment

SDS01: Diseño de sistemas con Xilinx SDSoc

Breve Resumen: Uso del entorno de desarrollo de sistemas empujado SDSoc, el objetivo es utilizar las herramientas para acelerar un diseño existente a nivel de la arquitectura del sistema. Identificar las funciones candidatas para la aceleración de hardware mediante la herramienta de profiling TCF. Uso del depurador del sistema para controlar el flujo de ejecución y examinar la memoria y las variables durante una sesión de depuración. Mover las las funciones de software al hardware y estimar el rendimiento del acelerador y el efecto en el sistema.

SDS01 - Publico - Presencial: X16 – J17 enero 2019 (2 días)

FPGA-MAN: FPGA for Managers and System Integrators.

FPGA-MAN: FPGA para directores de proyectos e Integradores de Sistemas.

Summary of contents: This activity provides a detailed introduction to the FPGA design flow and capabilities. Emphasis is on designing solid FPGA systems and a deep understanding in design flow. These Training is organized in five modules.

Who should attend: Managers and non-designers working with FPGA/SoC design teams including embedded software designers, PCB designers, and system integrators. This training is useful also for newcomers to the FPGA technologies that want to evaluate the strengths and potentially of the technology.

Prerequisite: Digital design Basics

Module 1: FPGA historical perspective, characteristics, strengths and weaknesses and future trends. This modules includes economic aspects, main families and sectors, case examples such as complex control loops, signal processing, real-time image processing, machine learning, high performance computing, etc.

Modules 2: Designing FPGAs Using the Vivado Design Suite. This module offers introductory training in the Vivado Design Suite and helps you understand the design flow with Xilinx FPGAs. This course teaches how to create an FPGA design, which includes the creation of a Vivado Design Suite project, simulating the design, making pin assignments, applying basic timing constraints, synthesizing, implementing and debugging the design. Finally, the process to generate and download bitstream on a demo board is also covered.

Module 3: Embedded Systems Design with Xilinx FPGA. This module will introduce the possibilities to develop complete embedded systems in FPGA. The features and capabilities of both the Zynq All Programmable System on a Chip (SoC), Zynq UltraScale+ MPSoC, and the MicroBlaze soft processor are covered in lectures, demonstrations, and labs, along with general embedded concepts, tools, and techniques.

Module 4: High-Level Synthesis (HLS) tool and others domain specific tools. The module provides a thorough introduction to the Vivado High-Level Synthesis (HLS) tool and introduce notions of SDSoc, SDAccel, SDNet and SystemGenerator. Additionally discuss domain specific frameworks for machine learning and computer vision.

Module 5: Problems and Applications Discussion. After the introductions of module 1, 2, 3 and 4, we leave space to discuss applications and designs. Is a kind of consulting to evaluate strategies to adopt the FPGA technology in the company.

FPGA-MAN - Publico - Presencial: L08 – M09 julio 2019 (2 días)

Calendario primer semestre 2018

HLS01 - Publico - Presencial: L14 – M15 enero 2019 (2 días)
SDS01 - Publico - Presencial: X16 – J17 enero 2019 (2 días)
VHDL01 - Publico - Presencial: L08 abril – M09 abril (2 días)
VIV-ESS: - Publico - Presencial: X24 de abril – V26 de abril (3 días)
VIV-ADV - Publico - Presencial: L06 – X08 de mayo (3 días)
SoC-ESS- Publico - Presencial: L03 – X05 de junio (3 días)
SoC-ADV - Publico - Presencial: L17 – X19 de junio (3 días)
FPGA-MAN - Publico - Presencial: L08 – M09 julio 2019 (2 días)

Precios por asistente / Prices per attendee:

VHDL01:	780 €	SoC-ESS	1230 €	HLS1:	860 €
VIV-ESS:	1210 €	SoC-ADV	1240 €	SDS1:	870 €
VIV-ADV:	1220 €			FPGA-Man:	880 €

Descuentos por varios cursos / Discounts for several courses :

VHDL01 + VIV-ESS: 1680 € (-16%). 5 días.	HLS1 + SDS1: 1480 € (-14 %). 4 días.
VIV-ESS + VIV-ADV: 1950 € (-20%). 6 días.	HLS1 coming from VIV-x or SoCx: 760 € (-12%)
VHDL01 + VIV-ESS + VIV-ADV: 2380 € (-26%). 8 días.	SDS1 coming from VIV-x or SoCx: 770 € (-12%)
SoC-ESS + SoC-ADV: 1980 € (-20%). 6 días.	

Descuentos adicionales / Additional discounts:

Cursos Electratraining previos 5%. Asistencia a cursos tecnología Xilinx en el último año 10%. Más de un participante de la misma empresa descuentos adicionales. Se puede utilizar Xilinx Training Credits.

Previous ElectraTraining course 5%. Previous Xilinx technology course in the last 12 months: 10%. More than one participant from the same company. It is possible to use Xilinx Training Credits.