

# Trainings en Tecnología Xilinx



Electratraining en su rol de Xilinx ATP (Authorized Training Provider), ofrece entrenamientos intensivos en tecnología Xilinx, en cursos públicos o in-company, tanto presenciales como online (Live Online).

La modalidad públicos presenciales son sesiones diarias de 8 hs, de 9 a 18, con pausa de café y comida. Típicamente se desarrollan en Madrid, en el campus Cantoblanco de la Universidad Autónoma de Madrid. Las modalidades in-company ya sea presenciales o Live-Online con horarios a convenir.

El material e información se distribuye en inglés en tanto las clases son dictadas en español. Existe la posibilidad de dictado en inglés para cursos In-Company.

Esta es la *planificación preliminar para el primer semestre 2020*, podéis acceder a [www.electratraining.org](http://www.electratraining.org) para ver detalles de cada curso. Consultas a [info@electratraining.org](mailto:info@electratraining.org).

Los cursos de Xilinx FPGA, Sistemas Empotrados Zynq y Zynq US+ (MPSoC), y síntesis de alto nivel han sido actualizados y reorganizados

## **Cursos presenciales planificados para 2020:**

*VHDL: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx*

*VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Essential.*

*VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Advanced.*

*SoC-ESS: Sistemas Embebidos en FPGA de Xilinx: HW y SW Esencial*

*SoC-ADV: Sistemas Embebidos en FPGA: HW y SW Avanzado*

*SoC-ZUS: Zynq UltraScale+ MPSoC: HW and SW aspects*

*SoC-RF: Designing with the Zynq UltraScale+ RFSoc*

*HLS1: Síntesis de alto nivel (HLS) para FPGAs de Xilinx con Vivado-HLx*

*FPGA-MAN: FPGA para directores de proyectos e Integradores de Sistemas.*

*VIT-AC: Accelerating Applications with the Vitis Unified Software Environment*

*VIT-AI: Developing AI Inference Solutions with the Vitis AI Platform*

*PLNX: Embedded Design with PetaLinux Tools*

## **Cursos In-Company para 2020**

*Al margen de los cursos presenciales, todos los cursos del porfolio Xilinx se pueden ofrecer en formato in-company bajo petición. Puede consultar el listado completo en la página de Xilinx <https://xilinxprod-catalog.netexam.com/>*

*Los cursos exclusivos (In-company) se puede organizar tanto en nuestras instalaciones, como en las del cliente o bien en el formato live-online.*

## ***Diseñando con VHDL y Vivado Design Suite***

Se trata de 3 cursos relacionados entre sí, que puedes ser cursados individualmente o combinados.

*VHD01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx (2 días).*

*VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Fundamental (Vivado Fundamental) (3 días).*

*VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Avanzado (Vivado Avanzado) (3 días).*

### **VHD01: Designing with VHDL. Logical Synthesis and Simulation for Xilinx FPGA design**

*VHD01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx*

Breve resumen: Este curso es una introducción al lenguaje VHDL. Énfasis en escritura de código sintetizable y escritura de código de simulación para bancos de pruebas (testbench). Se cubre el diseño a nivel RTL (nivel de transferencia de registros) y diferentes estilos de codificación. Este curso aborda específicamente los dispositivos Xilinx y los dispositivos FPGA en general. También se introducen nociones de Verilog y la forma de interactuar con VHDL. Este curso es eminentemente práctico

VHDL01 - Publico - Presencial: L10 febrero – M11 febrero (2 días)

### **VIV-ESS: Designing FPGAs Using the Vivado Design Suite Essential (Essential Vivado)**

*VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Fundamental (Vivado Fundamental)*

Breve Resumen: Este curso ofrece entrenamiento introductorio en el Vivado Design Suite y le ayuda a entender el flujo de diseño con FPGAs de Xilinx. Este curso enseña a crear un diseño de FPGA, que incluye la creación de un proyecto de Vivado Design Suite, simulando el diseño, realizando asignaciones de pines, aplicando restricciones básicas de temporización, sintetizando, implementando y depurando el diseño. Finalmente, también se cubre el proceso para generar y descargar flujo de bits en una placa de demostración.

Se profundiza en cómo construir un diseño eficaz en FPGA utilizando técnicas de diseño síncrono, usando el Vivado® IP Integrator para crear un sub-sistemas, utilizando técnicas de codificación HDL adecuadas para mejorar el rendimiento de diseño y depurar un diseño con múltiples dominios de reloj.

VIV-ESS: - Publico - Presencial: L17 febrero, M18 febrero, X19 febrero (3 días)

### **VIV-ADV: Designing FPGAs Using the Vivado Design Suite (Advanced Vivado)**

*VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Avanzado (Vivado Avanzado)*

Breve Resumen: Se abordan los aspectos más avanzados de la herramienta Vivado® Design Suite y del hardware de las FPGAs de Xilinx. Este curso demuestra técnicas para cumplir restricciones temporales (timing closure), tales como las restricciones básicas (baselining), segmentación (pipelining), circuitos de sincronización y técnicas óptimas de codificación HDL, que ayudan a cumplir restricciones temporales en el diseño. Este curso también le muestra cómo depurar su diseño usando capacidades avanzadas del Vivado Logic Analyzer. Además, se revisan las capacidades avanzadas de Vivado para lograr cumplir requisitos de diseño (design closure). Se describen las restricciones de entrada/salida e interfaces source-synchronous y system-synchronous, uso de scripting Tcl, uso de técnicas de floorplanning, diseño incremental y optimizaciones físicas, características de seguridad (bitstream encryption, AES authentication y seguridad en IP), modos de configuración avanzados.

VIV-ADV - Publico - Presencial: L2 marzo, M3 marzo, X4 marzo (3 días)

## **Sistemas Empotrados con Dispositivos Xilinx: Zynq, Zynq US+ (MPSoC y RFSoC)**

Se trata de dos cursos interrelacionados que exploran tanto las alternativas hardware como software en el desarrollo de sistemas empuotrados basados en FPGAs de Xilinx (SoC-ESS y SoC-ADV). Adicionalmente existen otros dos cursos que profundizan temas de Zynq UltraScale+ MPSoC y Zynq UltraScale+ RFSoC respectivamente (SoC-ZUS y SoC-RF):

### **SoC-ESS: Essential HW and SW for Embedded Systems Design with Xilinx FPGA**

*SoC-ESS: Sistemas Embebidos en FPGA de Xilinx: HW y SW Esencial (Essential SoC)*

Breve resumen: Se explica el desarrollo de sistemas empuotrados en FPGAs de Xilinx, tanto el diseño hardware con Vivado-IP Integrator como software desde SDK (Software Development Kit). El curso se basa especialmente Zynq 7000 SoC aunque también se describen y utilizan Microblaze y Zynq ultraScale+ (MPSoC). EL curso enseña a crear periféricos para ampliar el sistema, así como simularles utilizando modelos funcionales del bus (BFMs). Flujo de depuración software, hardware e interacción software-hardware. Utilizar QEMU para emular el comportamiento del HW; Introducción a las técnicas de programación de software desde SDK (Software Development Kit). Desarrollo del board support package (BSP), biblioteca de dispositivos y drivers para aplicaciones standalone (baremetal). Introducción a Linux en Sistemas embebidos de Xilinx.

SoC-ESS - Publico - Presencial: L30, M31 de marzo y X1 abril (3 días)

### **SoC-ADV: Advanced HW and SW of Embedded Systems Design**

*SoC-ADV: Sistemas Embebidos en FPGA de Xilinx: HW y SW Avanzados (Advanced SoC)*

Breve resumen: Ayuda a desarrolladores a entender y utilizar los componentes avanzados de las arquitecturas Zynq® y Zynq ultraScale+. Para Zynq detalla los componentes individuales en el PS: periféricos I/O, timers, caché, DMA e interrupciones. Énfasis en el acceso a la DDR de la lógica PL y acceso eficiente en la interconexión PL-PS. En Zynq UltraScale+ estudio en de los elementos clave de la unidad de procesamiento (APU - application processing unit) y la unidad de procesamiento en tiempo real (RPU - real-time processing unit). Utilizar las estrategias de gestión de energía y aprovechar las capacidades de la unidad de gestión de la plataforma (PMU). Para ambos sistemas, se detalla la secuencia de inicio apropiadas a las necesidades del sistema; Entornos de procesamiento múltiple asimétrico (AMP) y entornos de multi-procesamiento simétricos (SMP); Situaciones donde utilizar la tecnología ARM® TrustZone y /o un hipervisor. Arranque del sistema, programación controladores DMA. Configuración de sistemas Petalinux, utilizar componentes de código abierto (open-source), configuraciones de entorno, componentes de red y opciones de depuración para plataformas Linux.

SoC-ADV - Publico - Presencial: L20, M21 y X22 abril (3 días)

### **SoC-ZUS: Zynq UltraScale+ MPSoC: HW and SW aspects**

*SoC-ZUS: Zynq UltraScale+ MPSoC diseño HW y SW*

Breve resumen: Este curso proporciona tanto a diseñadores de hardware, desarrolladores de software y arquitectos de sistemas, una descripción detallada de las capacidades y el soporte en la familia Zynq UltraScale+ MPSoC desde una perspectiva amplia y general. El énfasis está en: Identificar los elementos clave de la unidad de procesamiento de aplicaciones (APU) y la unidad de procesamiento en tiempo real (RPU). Revisar los diversos dominios de poder y su estructura de control. Ilustrar el sistema de procesamiento (PS) y la conectividad de lógica programable (PL). Utilizando QEMU para emular el comportamiento del hardware. Revisar las opciones de implementación de sistemas operativos, incluidos

hipervisores y diversas implementaciones de Linux. Arrancar y configurar un sistema. Utilizar estrategias de administración de energía de manera efectiva aprovechando las capacidades de la unidad de gestión de plataforma (PMU). Ejecutar el sistema de forma segura.

SoC-ZUS - Publico - Presencial: L4, M5 y X6 de mayo (3 días)

### **SoC-RF: Diseñando con Zynq UltraScale+ RFSoc**

*SoC-RF: Designing with the Zynq UltraScale+ RFSoc*

Breve resumen: Este curso proporciona una descripción general de las capacidades presentes en la familia Zynq® UltraScale +™ RFSoc, con un énfasis especial en el convertidor de datos de radio frecuencia (RF Data Converters) así como los bloques de corrección de errores (Soft-Decision FEC blocks). El énfasis del curso está en: Describir la familia RFSoc en general. Identificación de aplicaciones para los conversores de datos RF y los bloques SD-FEC. Configurar, simular e implementar los bloques. Verificación del convertidor de datos RF en hardware real. Revisión de la estimación de consumo de energía bajo diferentes modos de operación. Identificar criterios de diseño adecuado en los bloques hardware y consideraciones de diseño PCB, teniendo en cuenta que el Zynq UltraScale + RFSoc es un dispositivo tanto de alta velocidad digital como analógico.

SoC-RF - Publico - Presencial: L18, M19 y X20 de mayo (3 días)

## ***Síntesis de Alto Nivel, Desarrollo de Software y Aceleración***

Se trata de varios cursos independientes que cubre diferentes necesidades en equipos de desarrollo involucrados en diseños Xilinx.

Por un lado, HLS es transversal tanto para diseñadores hardware que desean aumentar su productividad como diseñadores software que quieren explotar las características de las FPGAs usando lenguajes de alto nivel. Hoy en día es una herramienta esencial para cualquier proyecto FPGA.

Los cursos de VIT-ACC y VIT-IA son orientados al uso de la herramienta VITIS en el contexto de Aceleración e implementación de algoritmos de Inteligencia Artificial o Machine Learning (AI/ML) en dispositivos de Xilinx, tanto en el cloud como el Edge.

El curso PLNX está diseñado para la creación de sistemas Linux que han de ejecutarse sobre plataformas Xilinx de forma sencilla. Petalinux mantenido por Xilinx, utiliza Yocto de forma transparente y permite personalizar una distribución Linux para dispositivos Xilinx y tener sistemas funcionando en horas.

Por último, FPGA-MAN es un curso dirigido a administradores y directores de proyectos que integran FPGAs, SoCs o Plataformas de Xilinx en sus proyectos. Hace un repaso metodológico del diseño en FPGAs repasando el portfolio de dispositivos y sobre todo herramientas y metodologías de diseño.

### **HLS1: High Level Synthesis (HLS) for Xilinx FPGAs using Vivado-HLx**

*HLS1: Síntesis de alto nivel (HLS) para FPGAs de Xilinx con Vivado-HLx*

Breve Resumen: Completa Introducción a la herramienta de síntesis de alto nivel Vivado-HLS. Este curso cubre estrategias de síntesis, características de la herramienta, mejora de rendimiento, optimización en área, creación de interfaces, reducción de latencia, codificación de bancos de prueba (testbench), trucos y consejos de codificación. El temario ha sido actualizado para cubrir las novedades de la herramienta, así como la integración con Vitis (Unified Software Platform) y Vivado HLx. Este curso es indispensable para el uso eficiente de VITIS (también para los flujos SDAccel y SDSoC) pero también para aumentar la productividad en diseños Hardware tradicionales.

HLS1 - Publico - Presencial: lunes 16 y martes 17 de marzo 2020 (2 días)

### **VIT-AC: Accelerating Applications with the Vitis Unified Software Environment**

*VIT-AC: Aceleración de aplicaciones usando el entorno unificado de software Vitis*

Breve Resumen: Se enseña a desarrollar, depurar y perfilar aplicaciones C / C ++ y RTL nuevas o existentes en el entorno de software unificado Vitis dirigido tanto a centros de datos (DC – Data Centers) como a aplicaciones integradas. Aprenda también cómo ejecutar diseños en la tarjeta aceleradora Xilinx Alveo usando Nimbix Cloud. El énfasis de la formación está en: Crear aplicaciones de software utilizando la API OpenCL™ para ejecutar núcleos (cores) hardware en tarjetas aceleradoras Alveo. Uso de la API OpenCL y el módulo Linux ejecutable en tiempo de ejecución (Xilinx runtime - XRT) para programar los cores hardware y controlar el movimiento de datos hacia la tarjeta aceleradora. Demostrar el flujo basada en entorno gráfico (GUI) de Vitis y el flujo de archivos MAKE tanto para DC como para aplicaciones integradas. Describir el modelo de ejecución de la plataforma Vitis y el XRT (Xilinx RunTime). Descripción del flujo de desarrollo de kernels usando C / C ++ y RTL. Utilizar la herramienta de análisis Vitis para analizar informes. Metodología de diseño para optimizar rendimiento.

VIT-AC - Publico - Presencial: Q3 2020 (2 días)

## **VIT-AI: Developing AI Inference Solutions with the Vitis AI Platform**

*VIT-AI: Desarrollo de soluciones de inferencia de Inteligencia Artificial usando Vitis AI*

Breve Resumen: Este curso describe cómo usar la plataforma de desarrollo Vitis-AI para la implementación de algoritmos de inferencia de Inteligencia Artificial (AI) basadas en redes neuronales profundas (DNN - Deep Neural Network). La herramienta permite realizar implementaciones eficientes de redes DNN en dispositivos de Xilinx tanto para el despliegue en la nube (Cloud) o en sistemas empotrados (Edge).

El énfasis de este curso está en: Ilustrar el flujo de la herramienta Vitis AI. las características arquitectónicas de la Unidad de Aprendizaje Profundo (DPU - Deep Learning Processor Unit). Optimización de un modelo inteligencia artificial utilizando el cuantificador de AI y el compilador de AI. Utilización de la biblioteca OpenCV para optimizar las funciones de preprocesamiento y postprocesamiento de imágenes. Creación de una plataforma a medida y aplicaciones. Despliegues e Implementación de diseños

VIT-AI - Publico - Presencial: Q3 2020 (2 días)

## **PLNX: Embedded Design with PetaLinux Tools**

*PLNX: Desarrollo de Linux en sistemas empotrados Xilinx usando PetaLinux*

Proporciona a los desarrolladores de sistemas embebidos los conocimientos para la creación de un sistema Linux embebido dirigido a plataformas Zynq System on a Chip (SoC) y/o Zynq UltraScale + MPSoC usando la herramienta PetaLinux. El curso proporciona formación para: Creación del entorno y arranque del sistema utilizando un diseño Zynq SoC o Zynq UltraScale + MPSoC con herramientas PetaLinux para el procesador ARM Cortex-A9 o Cortex-A53. Uso de componentes Linux embebidos de código abierto. Configurar el entorno Linux y los componentes de red. Depuración de la plataforma Linux. Flujo de diseño de aplicaciones en el entorno Linux

PLNX - Publico - Presencial: Q3 2020 (3 días)

## **FPGA-MAN: FPGA for Managers and System Integrators**

*FPGA-MAN: FPGA para directores de proyectos e Integradores de Sistemas.*

Breve Resumen: Este curso proporciona una introducción detallada al flujo de diseño y las capacidades de FPGA actuales. Se hace hincapié en el diseño de sistemas FPGA sólidos y una comprensión profunda del flujo de diseño. Esta formación se organiza en cinco módulos, donde se revisan aspectos tales como: La perspectiva histórica de las FPGAs, características, fortalezas y debilidades y tendencias futuras. Diseño de FPGAs usando el Vivado Design Suite. Diseño de sistemas embebidos con Xilinx FPGA. Herramienta de síntesis de alto nivel (HLS) y otras herramientas específicas de dominio.

El curso está dirigido a administradores y directores de proyectos que integran FPGAs o Sistemas en un Chip (SoC) tipo Zynq. Resulta de vital importancia para diseñadores de software empotrado que corre sobre sistemas reconfigurables, diseñadores de PCB e integradores de sistema que necesitan conocer las implicaciones en su área respecto del uso de FPGAs. Esta capacitación es útil también para los recién llegados a las tecnologías FPGA que desean evaluar las fortalezas y el potencial de la tecnología.

FPGA-MAN - Publico - Presencial: L28, M29 y X30 de septiembre 2020 (3 días)

## Calendario primer semestre 2020

VHDL01 - Publico - Presencial: L10 y M11 febrero (2 días)  
VIV-ESS - Publico - Presencial: L17, M18 y X19 febrero (3 días)  
VIV-ADV - Publico - Presencial: L2, M3 y X4 marzo (3 días)  
HLS1 - Publico - Presencial: L16 y M17 de marzo (2 días)  
SoC-ESS - Publico - Presencial: L30, M31 marzo y X1 abril (3 días)  
SoC-ADV - Publico - Presencial: L20, M21 y X22 abril (3 días)  
SoC-ZUS - Publico - Presencial: L4, M5 y X6 de mayo (3 días)  
SoC-RF - Publico - Presencial: L18, M19 y X20 de mayo (3 días)  
FPGA-MAN - Publico - Presencial: L28, M29 y X30 de septiembre (3 días)  
VIT-AC - Público - Presencial: Pendiente programación (2 días)  
VIT-AI - Público - Presencial: Pendiente programación (2 días)  
PLNX - Público - Presencial: Pendiente programación (3 días)

### Precios por asistente / Prices per attendee:

VHDL01:	780 €	SoC-ESS:	1230 €	HLS1:	860 €
VIV-ESS:	1210 €	SoC-ADV:	1240 €	FPGA-Man:	1250 €
VIV-ADV:	1220 €	SoC-ZUS:	1280€	PLNX:	1190 €
		SoC-RF:	1380€		

### Descuentos por varios cursos / Discounts for several courses:

VHDL01 + VIV-ESS: 1680 € (-16%). 5 días.	SoC-ZUS + SoC-RF: 2120€ (-20%). 6 días.
VIV-ESS + VIV-ADV: 1950 € (-20%). 6 días.	SoC-ESS + SoC-ADV + SoC-ZUS: 2700 € (-28%). 9 días.
VHDL01 + VIV-ESS + VIV-ADV: 2380 € (-26%). 8 ds.	SoC-ZUS from SoC-ADV or SoC-ESS (-16%): 1075€
SoC-ESS + SoC-ADV: 1980 € (-20%). 6 días.	HLS1 coming from VIV-x or SoCx: 760 € (-12%)

### Descuentos adicionales / Additional discounts:

Cursos Electratraining previos 5%. Asistencia a cursos tecnología Xilinx en el último año 10%. Más de un participante de la misma empresa descuentos adicionales. Se puede utilizar Xilinx Training Credits.

Previous ElectraTraining course 5%. Previous Xilinx technology course in the last 12 months: 10%. More than one participant from the same company. It is possible to use Xilinx Training Credits.