

Trainings en Tecnología Xilinx



Electratraining en su rol de Xilinx ATP (Authorized Training Provider), ofrece entrenamientos intensivos en tecnología Xilinx, en cursos públicos o in-company, tanto presenciales como online (Live Online).

La modalidad públicos presenciales son sesiones diarias de 8 hs, de 9 a 18, con pausa de café y comida. Típicamente se desarrollan en Madrid, en el campus Cantoblanco de la Universidad Autónoma de Madrid. Las modalidades in-company ya sea presenciales o Live-Online con horarios a convenir.

El material e información se distribuye en inglés en tanto las clases son dictadas en español. Existe la posibilidad de dictado en inglés para cursos In-Company.

Esta es la *planificación preliminar para el primer semestre 2021*, podéis acceder a www.electratraining.org para ver detalles de cada curso. Consultas a info@electratraining.org.

Los cursos de Xilinx FPGA, Sistemas Empotrados Zynq y Zynq US+ (MPSoC), y síntesis de alto nivel han sido actualizados y reorganizados.

Cursos presenciales planificados para 2021:

SoC-ESS: Sistemas Embebidos en FPGA de Xilinx: HW y SW Esencial (mayo)

SoC-ADV: Sistemas Embebidos en FPGA: HW y SW Avanzado (junio)

HLS1: Síntesis de alto nivel (HLS) para FPGAs de Xilinx con Vitis-HLS (junio)

FPGA-MAN: FPGA para directores de proyectos e Integradores de Sistemas. (nov)

SoC-RF: Designing with the Zynq UltraScale+ RFSoc (nov)

PYNQ: Programar aplicaciones en FPGAs desde Python usando PYNQ (nov)

VHDL: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx (nov)

VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Essential (nov)

VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Advanced (dic)

SDR1: SDR (Software Defined Radio) usando Matlab – Simulink para FPGAs de Xilinx (dic)

Otros cursos bajo demanda

VIT-AC: Accelerating Applications with the Vitis Unified Software Environment

VIT-AI: Developing AI Inference Solutions with the Vitis AI Platform

PLNX: Embedded Design with PetaLinux Tools

SoC-VCU: Diseñando con la VCU (Video Codec Unit) y el framework GStreamer

Cursos In-Company para 2021

Al margen de los cursos presenciales, todos los cursos del porfolio Xilinx se pueden ofrecer en formato in-company bajo petición. Puede consultar el listado completo en la página de Xilinx <https://xilinxprod-catalog.netexam.com/>

Los cursos exclusivos (In-company) se puede organizar tanto en nuestras instalaciones, como en las del cliente o bien en el formato live-online.

Sistemas Empotrados con Dispositivos Xilinx: Zynq, Zynq US+ (MPSoC y RFSoc)

Se trata de dos cursos interrelacionados que exploran tanto las alternativas hardware como software en el desarrollo de sistemas empotrados basados en FPGAs de Xilinx (SoC-ESS y SoC-ADV).

Adicionalmente existen dos cursos que profundizan sobre dispositivos específicos MPSoC. Por un lado, la VCU (Video Coding Unit) de los Zynq UltraScale+ UV y por otro la etapa de radio frecuencia en Zynq UltraScale+ RFSoc respectivamente (SoC-VCU y SoC-RF). Estos dos últimos cursos requieren los conocimientos de SoC-ESS y es recomendado el conocimiento de SoC-ADV.

SoC-ESS: Essential HW and SW for Embedded Systems Design with Xilinx FPGA

SoC-ESS: Sistemas Embebidos en Dispositivos Xilinx: HW y SW Esencial (Essential SoC)

Breve resumen: Se explica el desarrollo de sistemas empotrados en FPGAs de Xilinx, tanto el diseño hardware con Vivado-IP Integrator como software desde Vitis (Software Development Platform). El curso se basa especialmente Zynq ultraScale+ (MPSoC) aunque también se describen y utilizan Zynq, Microblaze y Versal. Se estudian las diferentes alternativas de buses AXI (Full, Lite, Stream) y su aplicación. El curso enseña a crear periféricos a medida para ampliar el sistema, así como simularlos utilizando modelos funcionales del bus (BFMs). Se revisa el flujo de depuración software, hardware e interacción software-hardware. Utilizar QEMU (Quick Emulator) para emular el comportamiento del (de los) microProcesadores y su interacción con la lógica programable; Introducción a las técnicas de programación de software desde Vitis (La nueva plataforma de desarrollo software de Xilinx). Desarrollo del board support package (BSP), biblioteca de dispositivos y drivers para aplicaciones standalone (baremetal), Profiling de aplicaciones. Introducción a Linux en Sistemas embebidos de Xilinx y el desarrollo de aplicaciones desde Vitis.

SoC-ESS - Publico - Presencial: L10, M11 y X12 mayo (3 días)

SoC-ADV: Advanced HW and SW of Embedded Systems Design

SoC-ADV: Sistemas Embebidos en Dispositivos Xilinx: HW y SW Avanzados (Advanced SoC)

Breve resumen: Ayuda a desarrolladores a entender y utilizar los componentes avanzados de las arquitecturas Zynq UltraScale+ y Zynq (también se revisan conceptos de Versal ACAP y Microblaze). Para Zynq detalla los componentes individuales en el PS: periféricos I/O, timers, caché, DMA e interrupciones. Énfasis en el acceso a la DDR desde la lógica PL y acceso eficiente en la interconexión PL-PS. En Zynq UltraScale+ (MPSoC) estudio en de los elementos clave de la unidad de procesamiento (APU - application processing unit) y la unidad de procesamiento en tiempo real (RPU - real-time processing unit). Utilizar las estrategias de gestión de energía y aprovechar las capacidades de la unidad de gestión de la plataforma (PMU). Para ambos sistemas, se detalla la secuencia de inicio apropiadas a las necesidades del sistema. Movimientos de datos eficientes, maestros AXI, programación controladores DMA. Entornos de procesamiento múltiple asimétrico (AMP) y entornos de multi-procesamiento simétricos (SMP); Introducción y uso de OpenAMP. Situaciones donde utilizar la tecnología ARM TrustZone y/o un hipervisor (Hypervisor). Arranque del sistema (booting), multiboot, secureboot.. Sistemas Linux en dispositivos Xilinx, configuración de Petalinux, utilizar componentes de código abierto (open-source), configuraciones de entorno, componentes de red y opciones de depuración para plataformas Linux.

SoC-ADV - Publico - Presencial: L31 de mayo, M1 y X2 de junio (3 días)

SoC-RF: Diseñando con Zynq UltraScale+ RFSoc

SoC-RF: Designing with the Zynq UltraScale+ RFSoc

Breve resumen: Este curso proporciona una descripción general de las capacidades presentes en la familia Zynq® UltraScale +™ RFSoc, con un énfasis especial en el convertidor de datos de radio frecuencia (RF Data Converters) así como los bloques de corrección de errores (Soft-Decision FEC blocks). El énfasis del curso está en: Describir la familia RFSoc en general. Identificación de aplicaciones para los conversores de datos RF y los bloques SD-FEC. Configurar, simular e implementar los bloques. Verificación del convertidor de datos RF en hardware real. Revisión de la estimación de consumo de energía bajo diferentes modos de operación. Identificar criterios de diseño adecuado en los bloques hardware y consideraciones de diseño PCB, teniendo en cuenta que el Zynq UltraScale + RFSoc es un dispositivo tanto de alta velocidad digital como analógico.

SoC-RF - Publico - Presencial: octubre 2021 (3 días)

SoC-VCU: Diseñando con la VCU (Video Codec Unit) y el framework GStreamer

SoC-VCU: Developing Multimedia Solutions with the Video Codec Unit Using the GStreamer Framework

Breve resumen: Este curso proporciona una descripción general de las capacidades presentes en la familia Zynq UltraScale + EV que integra los codificadores hardware de video H.264/H.265 capaz de codificar y decodificar múltiples canales hasta 4Kx2K (60fps). Repaso de las soluciones multimedia de Xilinx y de los bloques disponibles en Zynq US+, introducción a la VCU, arquitectura de la VCU, estándares soportados, prestación y latencia, pila software para la VCU. Introducción al entorno GStreamer, entornos de vídeo en Linux, IP cores para conectividad y procesamiento multimedia, pipelines usando GStreamer, soluciones de Xilinx para audio y gráficos, introducción a los TRDs (Targeted Reference Designs) de Xilinx

SoC-VCU : Bajo demanda 2021 (2 días)

Síntesis de Alto Nivel, Desarrollo de Software y Aceleración

Se trata de varios cursos independientes que cubre diferentes necesidades en equipos de desarrollo involucrados en diseños Xilinx.

Por un lado, HLS (ahora con el nombre de Vitis-HLS) es transversal tanto para diseñadores HW que desean aumentar su productividad como diseñadores SW que quieren explotar las características de las FPGAs usando lenguajes de alto nivel. Hoy en día es una herramienta esencial para cualquier proyecto FPGA.

Los cursos de VIT-ACC y VIT-IA son orientados al uso de la herramienta VITIS en el contexto de Aceleración e implementación de algoritmos de Inteligencia Artificial o Machine Learning (AI/ML) en dispositivos de Xilinx, tanto en el cloud como el Edge.

El curso PLNX está diseñado para la creación de sistemas Linux que han de ejecutarse sobre plataformas Xilinx de forma sencilla. Petalinux mantenido por Xilinx, utiliza Yocto de forma transparente y permite personalizar una distribución Linux para dispositivos Xilinx y tener sistemas funcionando en horas.

PYNQ, describe como utilizar el proyecto de código abierto de Xilinx (www.pynq.io) para programar para interactuar desde Python con la lógica programable aumentando la productividad.

El training SDR usando Matlab-Simulink para FPGAs de Xilinx, explora los conceptos teóricos y prácticos de la implementación en lógica programable de algoritmos de radio definida por software.

Por último, FPGA-MAN es un curso dirigido a administradores y directores de proyectos que integran FPGAs, SoCs o Plataformas de Xilinx en sus proyectos. Hace un repaso metodológico del diseño en FPGAs repasando el portfolio de dispositivos y sobre todo herramientas y metodologías de diseño.

HLS1: High Level Synthesis (HLS) for Xilinx FPGAs using Vitis-HLS

HLS1: Síntesis de alto nivel (HLS) para FPGAs de Xilinx con Vivado-HLS

Breve Resumen: Completa Introducción a la herramienta de síntesis de alto nivel Vitis-HLS. Este curso cubre estrategias de síntesis, características de la herramienta, mejora de rendimiento, optimización en área, creación de interfaces, reducción de latencia, codificación de bancos de prueba (testbench), trucos y consejos de codificación. El temario ha sido actualizado para cubrir las novedades de la herramienta, así como la integración con Vitis (Unified Software Platform) y Vivado-HLS. Este curso es indispensable para el uso eficiente de VITIS tanto para aceleración, pero también para aumentar la productividad en diseños Hardware tradicionales. En esta nueva edición se agregan las consideraciones para migrar dese Vivado-HLS a Vitis-HLS y el soporte de nuevas directivas que aparecen. También se repasan conceptos de movimiento de datos entre PS-PL usando AXI-Slave y AXI-Master. El curso utiliza como plataforma de referencia Zynq UltraScale+ MPSoC, aunque los conceptos son aplicables a toda la gama de dispositivos de Xilinx.

HLS1 - Publico - Presencial: L28, M29 y X30 de junio 2021 (3 días)

VIT-AC: Accelerating Applications with the Vitis Unified Software Environment

VIT-AI: Aceleración de aplicaciones usando el entorno unificado de software Vitis

Breve Resumen: Se enseña a desarrollar, depurar y perfilar aplicaciones C / C ++ y RTL nuevas o existentes en el entorno de software unificado Vitis dirigido tanto a centros de datos (DC – Data Centers) como a aplicaciones integradas. Aprenda también cómo ejecutar diseños en la tarjeta aceleradora Xilinx Alveo usando Nimble Cloud. El énfasis de la formación está en: Crear aplicaciones de software utilizando la API OpenCL™ para ejecutar núcleos (cores) hardware en tarjetas aceleradoras Alveo. Uso de la API OpenCL y el módulo Linux ejecutable en tiempo de ejecución (Xilinx runtime - XRT) para programar los cores hardware y controlar el movimiento de datos hacia la tarjeta aceleradora. Demostrar el flujo basada en entorno gráfico (GUI) de Vitis y el flujo de archivos MAKE tanto para DC como para aplicaciones integradas. Describir el modelo de ejecución de la plataforma Vitis y el XRT (Xilinx RunTime). Descripción del flujo de desarrollo de

kernels usando C / C ++ y RTL. Utilizar la herramienta de análisis Vitis para analizar informes. Metodología de diseño para optimizar rendimiento.

VIT-AC - Presencial: bajo demanda 2021 (2 días)

VIT-AI: Developing AI Inference Solutions with the Vitis AI Platform

VIT-AI: Desarrollo de soluciones de inferencia de Inteligencia Artificial usando Vitis AI

Breve Resumen: Este curso describe cómo usar la plataforma de desarrollo Vitis-AI para la implementación de algoritmos de inferencia de Inteligencia Artificial (AI) basadas en redes neuronales profundas (DNN - Deep Neural Network). La herramienta permite realizar implementaciones eficientes de redes DNN en dispositivos de Xilinx tanto para el despliegue en la nube (Cloud) o en sistemas empotrados (Edge).

El énfasis de este curso está en: Ilustrar el flujo de la herramienta Vitis AI. las características arquitectónicas de la Unidad de Aprendizaje Profundo (DPU - Deep Learning Processor Unit). Optimización de un modelo inteligencia artificial utilizando el cuantificador de AI y el compilador de AI. Utilización de la biblioteca OpenCV para optimizar las funciones de preprocesamiento y postprocesamiento de imágenes. Creación de una plataforma a medida y aplicaciones. Despliegues e Implementación de diseños

VIT-AI - Presencial: bajo demanda 2021 (2 días)

PLNX: Embedded Design with PetaLinux Tools

PLNX: Desarrollo de Linux en sistemas empotrados Xilinx usando PetaLinux

Breve Resumen: Proporciona a los desarrolladores de sistemas embebidos los conocimientos para la creación de un sistema Linux embebido dirigido a plataformas Zynq System on a Chip (SoC) y/o Zynq UltraScale + MPSoC usando la herramienta PetaLinux. El curso proporciona formación para: Creación del entorno y arranque del sistema utilizando un diseño Zynq SoC o Zynq UltraScale + MPSoC con herramientas PetaLinux para el procesador ARM Cortex-A9 o Cortex-A53. Uso de componentes Linux embebidos de código abierto. Configurar el entorno Linux y los componentes de red. Depuración de la plataforma Linux. Flujo de diseño de aplicaciones en el entorno Linux

PLNX - Presencial: bajo demanda 2021 (2 o 3 días)

FPGA-MAN: FPGA for Managers and System Integrators

FPGA-MAN: FPGA para directores de proyectos e Integradores de Sistemas.

Breve Resumen: Este curso proporciona una introducción detallada al flujo de diseño y las capacidades de FPGA actuales. Se hace hincapié en el diseño de sistemas FPGA sólidos y una comprensión profunda del flujo de diseño. Esta formación se organiza en cinco módulos, donde se revisan aspectos tales como: La perspectiva histórica de las FPGAs, características, fortalezas y debilidades y tendencias futuras. Diseño de FPGAs usando el Vivado Design Suite. Diseño de sistemas embebidos con Xilinx FPGA. Herramienta de síntesis de alto nivel (HLS) y otras herramientas específicas de dominio.

El curso está dirigido a administradores y directores de proyectos que integran FPGAs o Sistemas en un Chip (SoC) tipo Zynq. Resulta de vital importancia para diseñadores de software empotrado que corre sobre sistemas reconfigurables, diseñadores de PCB e integradores de sistema que necesitan conocer las implicaciones en su área respecto del uso de FPGAs. Esta capacitación es útil también para los recién llegados a las tecnologías FPGA que desean evaluar las fortalezas y el potencial de la tecnología.

FPGA-MAN - Publico - Presencial: octubre 2021 (3 días)

PYNQ: Programar aplicaciones en FPGAs desde Python usando PYNQ

PYNQ: Program applications in FPGAs from Python using PYNQ

Breve Resumen: PYNQ es un proyecto de código abierto de Xilinx que facilita el uso de las plataformas Xilinx. Utilizando el lenguaje y las bibliotecas de Python, los diseñadores pueden aprovechar los beneficios de la lógica programable y los microprocesadores empotrados para construir sistemas electrónicos más potentes y atractivos en una fracción del tiempo. PYNQ se puede utilizar con Zynq, Zynq UltraScale +, Zynq RFSoc, placas de aceleración Alveo y AWS-F1 para crear aplicaciones de alto rendimiento con: ejecución de hardware en paralelo, procesamiento de video de alta velocidad de cuadros, algoritmos acelerados por hardware, procesamiento de señales en tiempo real, E / S de gran ancho de banda, control de baja latencia.

PYNQ está pensado tanto para desarrolladores de software que desean aprovechar las capacidades de las plataformas Xilinx sin tener que utilizar herramientas de diseño de estilo ASIC para diseñar hardware, como para arquitectos de sistemas que desean una interfaz y un marco de software sencillos para la creación rápida de prototipos, pero también para diseñadores de hardware que quieren que sus diseños sean utilizados por otros usuarios sin conocimientos HW.

El curso introduce el uso y metodología, así como la creación de overlays que extienden la funcionalidad en la lógica programable.

PYNQ - Publico - Presencial: noviembre 2021 (2 días)

SDR1: SDR (Software Defined Radio) usando Matlab – Simulink para FPGAs de Xilinx (dic)

SDR1: SDR (Software Defined Radio) usando Matlab – Simulink para FPGAs de Xilinx (dic)

Breve Resumen: Este training práctico ha sido diseñado para profesionales que desean comprender en profundidad los sistemas de comunicación básicos y avanzados a través de implementaciones de hardware real utilizando placas SDR (Software Defined Radio) con FPGA Xilinx. Se introducirán los conceptos fundamentales de Radio definida por software y se llevará a cabo un amplio conjunto de prácticas de laboratorio con placas SDR comerciales.

El curso está dividido en las siguientes nueve sesiones: Session 1: Intro to SDR: walk through of SDR architectures and getting started with Matlab tools; Session 2: AM modulator and demodulator. FM modulator and demodulator. SDR implementations; Session 3: Signal and Systems review: Frequency and Time Domain; Session 4: Digital Communication fundamentals; Session 5: QPSK/QAM modulator and demodulator; Session 6: Synchronization on Digital receiver: Time and Frequency sync; Session 7: Frame synchronization and channel coding; Session 8: SDR hardware and Zynq board: Development examples on Matlab Simulink; Session 9: Hardware and Software co design QPSK transceiver on Zynq.

SDR - Publico - Presencial: diciembre 2021 (4 días)

Diseñando con VHDL y Vivado Design Suite

Se trata de 3 cursos relacionados entre sí, que puedes ser cursados individualmente o combinados.

VHD01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx (2 días).

VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Fundamental (Vivado Fundamental) (3 días).

VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Avanzado (Vivado Avanzado) (3 días).

VHD01: Designing with VHDL. Logical Synthesis and Simulation for Xilinx FPGA design

VHD01: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx

Breve resumen: Este curso es una introducción al lenguaje VHDL. Énfasis en escritura de código sintetizable y escritura de código de simulación para bancos de pruebas (testbench). Se cubre el diseño a nivel RTL (nivel de transferencia de registros) y diferentes estilos de codificación. Este curso aborda específicamente los dispositivos Xilinx y los dispositivos FPGA en general. También se introducen nociones de Verilog y la forma de interactuar con VHDL. Este curso es eminentemente práctico

VHDL01 - Publico - Presencial: noviembre 2021 (2 días)

VIV-ESS: Designing FPGAs Using the Vivado Design Suite Essential (Essential Vivado)

VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Fundamental (Vivado Fundamental)

Breve Resumen: Este curso ofrece entrenamiento introductorio en el Vivado Design Suite y le ayuda a entender el flujo de diseño con FPGAs de Xilinx. Este curso enseña a crear un diseño de FPGA, que incluye la creación de un proyecto de Vivado Design Suite, simulando el diseño, realizando asignaciones de pines, aplicando restricciones básicas de temporización, sintetizando, implementando y depurando el diseño. Finalmente, también se cubre el proceso para generar y descargar flujo de bits en una placa de demostración.

Se profundiza en cómo construir un diseño eficaz en FPGA utilizando técnicas de diseño síncrono, usando el Vivado® IP Integrator para crear un sub-sistemas, utilizando técnicas de codificación HDL adecuadas para mejorar el rendimiento de diseño y depurar un diseño con múltiples dominios de reloj.

VIV-ESS: - Publico - Presencial: Noviembre 2021 (3 días)

VIV-ADV: Designing FPGAs Using the Vivado Design Suite (Advanced Vivado)

VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Avanzado (Vivado Avanzado)

Breve Resumen: Se abordan los aspectos más avanzados de la herramienta Vivado® Design Suite y del hardware de las FPGAs de Xilinx. Este curso demuestra técnicas para cumplir restricciones temporales (timing closure), tales como las restricciones básicas (baselining), segmentación (pipelining), circuitos de sincronización y técnicas óptimas de codificación HDL, que ayudan a cumplir restricciones temporales en el diseño. Este curso también le muestra cómo depurar su diseño usando capacidades avanzadas del Vivado Logic Analyzer. Además, se revisan las capacidades avanzadas de Vivado para lograr cumplir requisitos de diseño (design closure). Se describen las restricciones de entrada/salida e interfaces source-synchronous y system-synchronous, uso de scripting Tcl, uso de técnicas de floorplanning, diseño incremental y optimizaciones físicas, características de seguridad (bitstream encryption, AES authentication y seguridad en IP), modos de configuración avanzados.

VIV-ADV - Publico - Presencial: diciembre 2021 (3 días)

Calendario preliminar 2021

SoC-ESS: Sistemas Embebidos en FPGA de Xilinx: HW y SW Esencial (mayo) (3 días)
SoC-ADV: Sistemas Embebidos en FPGA: HW y SW Avanzado (junio) (3 días)
HLS1: Síntesis de alto nivel (HLS) para FPGAs de Xilinx con Vitis-HLS (junio) (3 días)
FPGA-MAN: FPGA para directores de proyectos e Integradores de Sistemas. (nov) (3 días)
SoC-RF: Designing with the Zynq UltraScale+ RFSoc (nov) (2 días)
PYNQ: Programar aplicaciones en FPGAs desde Python usando PYNQ (nov) (3 días)
VHDL: Diseñando con VHDL. Síntesis Lógica y Simulación para FPGAs de Xilinx (nov) (2 días)
VIV-ESS: Diseño FPGA de Xilinx usando Vivado Design Suite Essential (nov) (3 días)
VIV-ADV: Diseño FPGA de Xilinx usando Vivado Design Suite Advanced (dic) (3 días)
SDR1: SDR (Software Defined Radio) usando Matlab – Simulink para FPGAs de Xilinx (dic)

Precios por asistente / Prices per attendee:

VHDL01:	780 €	SoC-ESS:	1230 €	HLS1:	980 €
VIV-ESS:	1210 €	SoC-ADV:	1240 €	FPGA-Man:	1250 €
VIV-ADV:	1220 €	SoC-RF:	1280€	PLNX:	1190 €

Descuentos por varios cursos / Discounts for several courses:

SoC-ESS + SoC-ADV: 1980 € (-20%). 6 días.	VHDL01 + VIV-ESS: 1680 € (-16%). 5 días.
HLS1 coming from VIV-x or SoCx: 860 € (-12%)	VIV-ESS + VIV-ADV: 1950 € (-20%). 6 días.
SoC-RF from SoC-ADV or SoC-ESS (-16%): 1075€	VHDL01 + VIV-ESS + VIV-ADV: 2380 € (-26%). 8 ds.

Descuentos adicionales / Additional discounts:

Cursos Electraining previos 5%. Asistencia a cursos tecnología Xilinx en el último año 10%. Más de un participante de la misma empresa descuentos adicionales. Se puede utilizar Xilinx Training Credits.

Previous ElectraTraining course 5%. Previous Xilinx technology course in the last 12 months: 10%. More than one participant from the same company. It is possible to use Xilinx Training Credits.